

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-333982  
 (43)Date of publication of application : 18.12.1998

(51)Int.CI. G06F 12/08  
 G06F 12/16

(21)Application number : 10-121403 (71)Applicant : TEXAS INSTR INC <TI>  
 (22)Date of filing : 30.04.1998 (72)Inventor : BOSSHART PATRICK W

(30)Priority

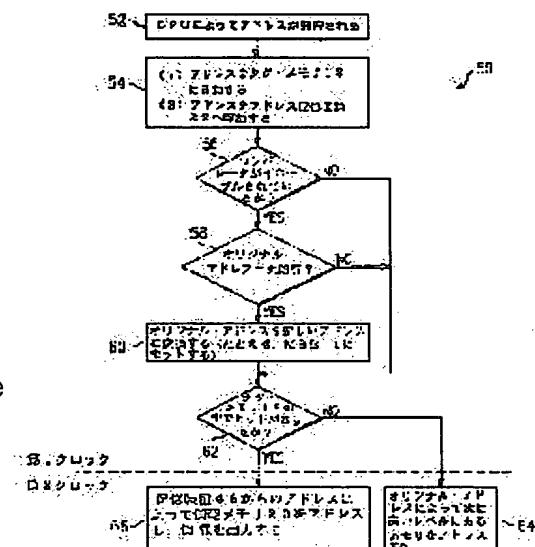
Priority number : 97 44414 Priority date : 29.04.1997 Priority country : US

(54) CIRCUIT, SYSTEM AND METHOD FOR REMAPPING REDUNDANCY OF MEMORY ROW DURING CACHE ACCESSES OF TWO CYCLES

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a memory hierarchical system including a cache circuit of two levels.

SOLUTION: In a method for driving a microprocessor, a 1st address is issued to a tag memory (52). The 1st address is set up to one state to address one row of an information memory corresponding to the tag memory. Whether the row to be addressed by the 1st address in the information memory is a defective row or not is judged (58). When the row is a defective row, two steps are executed. Namely the 1st address is converted into a different 2nd address (60). Then the information memory is addressed by the 2nd address in response to the detection of a hit in the tag memory (66). At the time of judging that the row to be addressed by the 1st address in the information memory is not a defective row, the information memory is addressed by the 1st address in response to the hit in the tag memory. Finally a different information memory is addressed by the 1st address in response to the detection of a miss in the tag memory and the different information memory is set up to a level higher than the information memory concerned in the memory hierarchy of memory constitution.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-333982

(43) 公開日 平成10年(1998)12月18日

(51) Int.Cl.<sup>6</sup>  
G 0 6 F 12/08

12/16

識別記号

3 1 0

F I  
G 0 6 F 12/08

12/16

J  
E

3 1 0 E

審査請求 未請求 請求項の数3 OL (全56頁)

(21) 出願番号 特願平10-121403

(22) 出願日 平成10年(1998)4月30日

(31) 優先権主張番号 0 4 4 4 1 4

(32) 優先日 1997年4月29日

(33) 優先権主張国 米国(US)

(71) 出願人 590000879

テキサス インスツルメンツ インコーポ  
レイテッド  
アメリカ合衆国テキサス州ダラス、ノース  
セントラルエクスプレスウェイ 13500

(72) 発明者 パトリック ダブリュ. ボスハート

アメリカ合衆国 テキサス州プラノ、タラ  
コート 7508

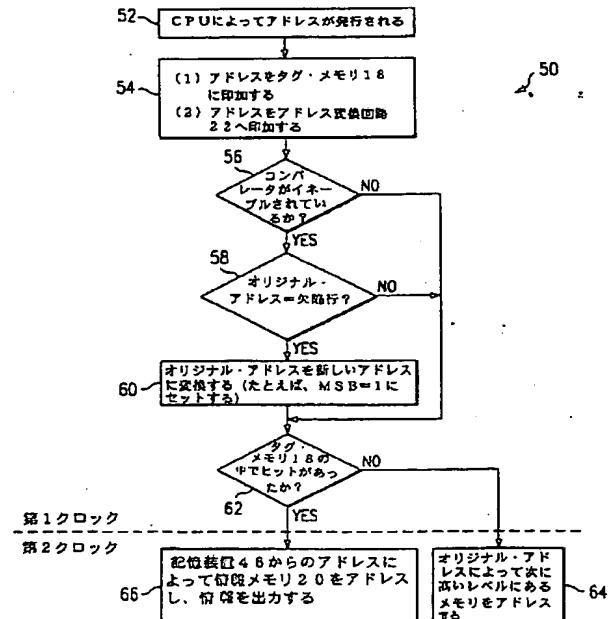
(74) 代理人 弁理士 浅村 翔 (外3名)

(54) 【発明の名称】 2サイクルのキャッシュ・アクセスの間にメモリの行の冗長性を再マッピングするための回路、システム、および方法

(57) 【要約】

【課題】 従来技術の各種の欠陥を改善する。

【解決手段】 マイクロプロセッサを動作させる方法。タグ・メモリ(18)に対して第1のアドレスを発行する(52)。第1のアドレスはタグ・メモリに対応する情報メモリの1つの行をアドレスするために1つの状態に設定される。第1のアドレスによってアドレスされるべき情報メモリの行が欠陥行であるかを判定(58)する。欠陥行であると、2つの段階を実行する。まず、第1のアドレスを異なる第2のアドレスに変換(60)する。第2にタグ・メモリの中のヒットの検出に応答して、第2のアドレスによって情報メモリをアドレスする(66)。第1のアドレスによってアドレスされるべき情報メモリの中の行が欠陥行でないと判定した場合、タグ・メモリの中のヒットに応答して第1のアドレスによって情報メモリをアドレスする。最後に、タグ・メモリのミスの検出に応答して、第1のアドレスに応答して異なる情報メモリをアドレスし、その異なる情報メモリは、そのメモリ構成のメモリ階層の中でその情報メモリより高いレベルにある。



## 【特許請求の範囲】

【請求項1】 メモリ構成を動作させる方法であって、第1のアドレスをタグ・メモリに対して発行し、前記第1のアドレスが、前記タグ・メモリに対応している情報メモリの中の1つの行をアドレスするための1つの状態に設定される段階と、前記第1のアドレスによってアドレスされるべき情報メモリの中の前記行が欠陥行であるかどうかを判定する段階と、前記第1のアドレスによってアドレスされるべき情報メモリの中の前記行が欠陥行であると判定されたことに応答して、前記第1のアドレスを、前記第1のアドレスとは異なる第2のアドレスに変換する段階と前記タグ・メモリの中のヒットの検出に応答して、前記第2のアドレスによって前記情報メモリをアドレスする段階と、前記第1のアドレスによってアドレスされるべき情報メモリの中の前記行が欠陥行でないとの判定に応答して、前記タグ・メモリの中のヒットの検出に応答して前記第1のアドレスによって前記情報メモリのアドレッシングを行う段階と、前記タグ・メモリの中のミスの検出に応答して、前記第1のアドレスに応答して前記メモリ構成のメモリ階層の中の前記情報メモリより高いレベルにある、異なるメモリをアドレスする段階とを含む方法。

【請求項2】 マイクロプロセッサであって、タグ・メモリと、前記タグ・メモリに対応している情報メモリと、第1のアドレスを前記タグ・メモリに対して発行し、前記第1のアドレスは前記タグ・メモリに対応している前記情報メモリの中の1つの行をアドレスするための1つの状態に設定されている回路と、前記第1のアドレスによってアドレスされるべき前記情報メモリの中の前記行が欠陥行であるかどうかを判定するための回路と、前記第1のアドレスによってアドレスされるべき前記情報メモリの中の前記行が欠陥行であることを判定するための回路に応答して、前記第1のアドレスを前記第1のアドレスとは異なる第2のアドレスに変換する段階と、前記タグ・メモリの中のヒットに応答して前記第2のアドレスによって前記情報メモリをアドレスする段階とを実行するための回路と、前記第1のアドレスによってアドレスされるべき前記情報メモリの中の前記行が欠陥行でないことを、判定のための回路が判定したことに応答して、前記タグ・メモリの中のヒットに応答して前記第1のアドレスによって前記情報メモリをアドレスするための回路とを含むマイクロプロセッサ。

【請求項3】 メモリ構成であって、

タグ・メモリと、

前記タグ・メモリに対応している情報メモリと、前記タグ・メモリに対して提供される第1のアドレスを受け取るための回路であって、前記タグ・メモリに対応している前記情報メモリの中の1つの行をアドレスするための状態に前記第1のアドレスが設定されている回路と、前記第1のアドレスによってアドレスされるべき前記情報メモリの中の前記行が欠陥行であるかどうかを判定するための回路と、前記第1のアドレスによってアドレスされるべき前記情報メモリの中の前記行が欠陥行であることを、判定のための回路が判定したことに応答して、前記第1のアドレスとは異なる第2のアドレスに前記第1のアドレスを変換する段階と、前記タグ・メモリの中のヒットに応答して前記第2のアドレスによって前記情報メモリをアドレスする段階とを実行するための回路と、前記第1のアドレスによってアドレスされるべき前記情報メモリの中の前記行が欠陥行でないことを、判定のための回路が判定したことに応答して、前記タグ・メモリの中のヒットに応答して前記第1のアドレスによって前記情報メモリをアドレスするための回路とを含むメモリ構成。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本実施形態はメモリ構成に関する。本発明の1つのグループにおいては、それらはマイクロプロセッサに関し、特に2サイクルのキャッシュ・アクセス中にオリジナル・アドレスを予備行のアドレスに変換することによって、メモリの行の冗長性を再マッピングするための回路、システム、および方法を備えるマイクロプロセッサに向けられている。本実施形態の別のグループにおいては、それらはメモリのカラムの冗長性を再マッピングするための回路、システム、および方法に関する。

【0002】ディジタル・メモリの技術においては、メモリが構築された後、メモリの1つまたはそれ以上の行が欠陥の行であると分かる可能性が、或る程度の統計的確率で存在することは知られている。言い換えれば、行は所定の或るビット数の情報を記憶するように構築されたが、製造された後、その行が何らかの理由で動作不可能であり、したがって、元々意図されていたように情報を記憶できないことが判定される。この確率を前提として、メモリは1つまたはそれ以上のいわゆる冗長性の、すなわち、予備の行を含み、元々その行に記憶されてそこから読み出されることになっていた情報が、その予備の行に記憶されてそこから読み出されるようにされる。

【0003】上記の予備行の冗長性を前提として、1つの従来技術の方法においては、そのメモリの中の各行

が、対応している行を活性化することができるかどうかを決定する行のイネーブル用ヒューズも含んでいる。さらに、予備の各行は対応している行を活性化するためのアドレスをデコードするための、デコーダのヒューズのグループを含んでいる。したがって、1つの行が欠陥行であることが分かった場合、その行をイネーブルするためのヒューズはその欠陥行が活性化されない（すなわち、ディスエーブルされる）ように構成される。さらに、次に、その予備行の1つに対するデコーダのヒューズがその欠陥行に対して意図された到來アドレスを、その予備行を代わりにアドレスするようにデコーダがデコードするように構成される。この方法はよく使われているが、各種の欠陥がある。たとえば、ヒューズを作り込むことによってその製造プロセスがより複雑となる可能性がある。また、別の例として、ヒューズは集積回路上の面積を多く使う必要がある。これらのことと前提として、さらに上記の従来技術に対して必要なヒューズの数に注意する。詳しく言えば、必要なヒューズの合計数は行の数にそのメモリに対する1つのアドレスをデコードするためのビット数の合計×予備行の数と各予備行に対して1つのイネーブル・ビットを加えた数に等しい。たとえば、2つの独立の予備行を備えている256ラインのメモリの場合、合計で274個のヒューズ（256個の行イネーブル用ヒューズ+2\*（8個のデコード・ヒューズ+1個のイネーブル・ヒューズ））が必要である。さらに、これらのヒューズの大多数は1つの場所にあるのではなく、各行に沿って配置される。これらの欠点および他の欠点はこの分野の技術に熟達した人によって理解される。

【0004】ディジタル・メモリの技術における行の実装に関する上記の観察を前提として、メモリのカラムに関しても同様に、メモリが製造された後、そのメモリの1つまたはそれ以上のカラムが欠陥カラムであることが分かる、或る程度の統計的確率が存在することは知られている。したがって、カラムは情報のビットを出力、入力、あるいは入力および出力の両方を可能にするように製造されたが、製造後にそのカラムが何らかの理由で動作不能であり、したがって、元々意図されていたように情報を通信することができないことがテストによって判定される。この確率を前提として、メモリは1つまたはそれ以上のいわゆる冗長の、すなわち、予備のカラムを含んでいることが多く、そして元々その欠陥カラムに記憶されてそこから読み出される筈であった情報が、何らかの理由でその予備のカラムの1つに記憶されてそこから読み出されるようになる。

【0005】上記の予備カラムの冗長性を前提として、後で詳細に説明される1つの従来技術の方法においては、それらの各カラムは1つまたはそれ以上のマルチプレクサによって外部カラムに接続され、そしてそれらのマルチプレクサはそのマルチプレクサに対する次の制

御入力の間に固定されたヒューズによって制御される。したがって、1つのカラムが欠陥カラムであることが分かった場合、その欠陥カラムが通信する筈であったマルチプレクサを制御しているヒューズが、入力の場合には情報を受け取ることができず、あるいは出力の場合には情報を出力することができないように構成される（すなわち、ディスエーブルされる）。この方法は使われる可能性があるが、それにも各種の欠点がある。たとえば、いくつかの構成においては2つ以上のカラムが欠陥であると識別された場合、この従来技術の方法はそれ自身不十分である。というのは、1つのカラムだけをそのメモリ構成の外部接続に達しないようにすることができるだけだからである。もう1つの例として、この従来技術の方法によって必要とされるヒューズの個数は出力カラムの数より1だけ大きく、したがって、大規模メモリの場合、多数のヒューズがそれに対応して必要となる。もう1つの例として、ヒューズは普通はメモリ構成の出力カラム間に物理的に配置され、したがって、メモリ構成のカラムに関してかなりのスペースを必要とすることに留意されたい。

【0006】上記の観点において、以下に説明される本発明の実施形態によって実現されるような、従来技術の各種の欠陥に対処し、従来技術の方法を改善するためのニーズが発生している。

#### 【0007】

【課題を解決するための手段】1つの実施形態の方法においては、メモリ構成を動作させる1つの方法がある。その方法はタグ・メモリに対して第1のアドレスを発行する。この第1のアドレスはそのタグ・メモリに対応している情報メモリの中の1つのカラムをアドレスするための状態に設定される。また、その方法は第1のアドレスによってアドレスされるべき情報メモリの中の行が欠陥行であるかどうかを判定する。第1のアドレスによってアドレスされるべき情報メモリの中の行が欠陥行であるとの判定に応答して、その方法は2つの段階を実行する。まず最初に、第1のアドレスをその第1のアドレスとは異なる第2のアドレスに変換する。次に、タグ・メモリの中のヒットの検出に応答して、その第2のアドレスによってその情報メモリをアドレスする。代わりに、第1のアドレスによってアドレスされるべき情報メモリの中の行が欠陥行でないということを判定した場合、タグ・メモリの中のヒットの検出に応答して、第1のアドレスによって情報メモリを代わりにアドレスする。最後に、タグ・メモリの中のミスの検出に応答して、第1のアドレスに応答して異なる情報メモリをアドレスする。その場合、その異なる情報メモリはメモリ構成のメモリ階層の中でその情報メモリより高いレベルの層にあるメモリである。他の回路、システム、および方法も開示され、特許請求される。

#### 【0008】

【発明の実施の形態】上記の背景を前提として、次の詳細説明によって各種の実施形態を示す。読者を支援する目的で、ただし、それらの実施形態およびそのような実施形態の多くの特徴の範囲に本発明の範囲を限定するこ

となしに、次の目次はその詳細説明の中の特定のトピックを識別するための4つの部分的表題を示す。

【0009】

【表1】

目次

部分表題
メモリ行の冗長性
メモリ・カラムの冗長性
メモリ行およびメモリ・カラムの冗長性の組合せ
マイクロプロセッサの構成
結論

セクション
1
2
3
4
5

【0010】<1. メモリ行の冗長性>図1は本発明によるマイクロプロセッサのメモリ・システム10のブロック図を示している。システム10は各種のタイプのマイクロプロセッサ構造の内部に含めることができ、そしてそのような構造の一例が図21に関連して以下に詳細に説明される。しかし、ここでは図1のメモリ・コンポーネントに関連したこと以外のそのようなマイクロプロセッサに関連した詳細事項については、本発明の説明を単純化するために図示されず、また、説明もされない。代わりに、そのような説明は以下の図21の詳細説明まで延期される。

【0011】図1に示されているブロックを参照すると、システム10は従来技術において知られている方法でのメモリ階層、すなわち、最低次の記憶システムから最高次の記憶システムへの順序で情報を読み書きする階層を含む。そのようなシステムの最低レベルにおいて、図1の中でL1キャッシュ回路12として示されている、レベル1のキャッシュ回路がある。この「L1」は従来の技術において知られているようなメモリ階層の構造を示している。詳しく言うと、低い数字で示されているキャッシュ回路は後で説明されるL2キャッシュ回路などの高い数字で示されているキャッシュ回路に比較して、マイクロプロセッサ(図示せず)の実行ユニットに対して、より近い位置にある。さらに、キャッシュ回路の数値的指示は特定のキャッシュから読み出すとき、あるいはそのキャッシュに対して書き込むときのいずれかにおいて、命令のパイプライン(図示せず)のステージによってそのキャッシュがアクセスされる順序を昇順に示している。したがって、そのようなアクセスはまず最初にL1キャッシュ回路に対して発生し、そしてそのキャッシュに対するキャッシュ・ミスが発生した場合、その次にL2キャッシュ回路に対するアクセスが続き、以下同様にキャッシュまたは他のメモリ構造の中でヒットが見つかるまで、メモリ階層を順に昇っていく。さらに、図1のシステム10はL1キャッシュ回路12をその最低レベルにおいて示しているが、以下の図21に示されているようないくつかのマイクロプロセッサは、それよりさらに低いレベルのキャッシュをさらに含むことができ、したがって、それはL0キャッシュと呼ばれ

る。しかし、本発明の場合、図1のキャッシュ回路は以下に説明される各種の発明の態様を示すためのベースを確立するのに十分である。

【0012】システム10はバス16を経由してL1キャッシュ回路12に対して接続されているL2キャッシュ回路14をさらに含む。ここでも、「L2」という名前はこのキャッシュがL1キャッシュ回路12に比較してメモリ階層の中のより高い場所にあることを示す必要があつて付けられている。この好適な実施形態において、L2データ・キャッシュ回路14はL1キャッシュ回路12より大規模であることが好ましい。たとえば、この2つのキャッシュの相対的なサイズの一例としては、L1キャッシュ回路12が合計8Kバイトの情報を格納することができ、一方、L2キャッシュ回路14は合計で64Kバイトの情報を格納することができるようなものが考えられる。さらに、L2キャッシュ回路14の出力容量はL1キャッシュ回路12の容量より大きいことが好ましい。一例として、L2キャッシュ回路14は256ビット(すなわち、32バイト)を一度に出力し、一方、L1キャッシュ回路12は128ビット(すなわち、16バイト)を一度に出力することができるような構成が考えられる。L2キャッシュ回路14は別のタグ・メモリ18およびデータ・メモリ20を含む。この分野の技術において知られているように、タグ・メモリ18はこの分野の技術においてその用語が使われているキャッシュのアドレス・タグを格納するように動作し、さらにそれらのタグを到来するアドレスに対して比較するように動作する。また、この分野の技術において知られているように、入って来たタグがタグ・メモリ18の中の1つのタグにマッチした場合、キャッシュ・ヒットが発生し、そしてその入って来たアドレスに対応している情報がデータ・メモリ20においてアクセスされる。データ・メモリ20は「データ」メモリと呼ばれているが、このドキュメント全体を通じて、データ・メモリは実際には情報メモリであること、すなわち、それはデータ、命令、および/またはアドレス変換テーブルなどの各種のタイプの情報を格納することができるることを理解されたい。しかし、その用語に現在の技術との首尾一貫性を持たせるために、詳細説明におけるこれ以降の

部分において、このメモリはそのような呼称が他のタイプの情報を格納しているメモリに対して限定されないと、いうことが理解された上で、データ・メモリと呼ばれる。いずれにしても、データ・メモリ20にアクセスするプロセスが以下にさらに詳細に説明される。しかし、その説明に入る前に、好適な実施形態のL2キャッシュ回路14はアドレス変換回路22をさらに含むことにも留意されたい。簡単に言えば、アドレス変換回路22も入って来たアドレスを受け取り、データ・メモリ20に対して対応しているアドレスを提供する。以下に詳細に説明されるように、アドレス変換回路22は、その入って来たアドレスがデータ・メモリ20の中の欠陥行であることが分かっている記憶行に対して向けられているものであるかどうかに基づいて、入って来たアドレスと同じ実効アドレスをデータ・メモリ20に対して出力するか、あるいはそれを別のアドレスに変換するかのいずれかを行う。

【0013】図1についての説明を完了すると、L1キャッシュ回路14はバスBに接続されているバス・インターフェース・ユニット（「B I U」）26の方法によってさらに接続されている。バスBはシステム10を含むマイクロプロセッサから外部へ延びており、したがって、システム10とマイクロプロセッサの外部の他のエレメントとの間の通信を実行することができる。他のエレメントとしては、L2キャッシュ回路14より高いメモリ階層の中にある（そしてもちろん、L1キャッシュ回路12より高い）外部メモリが含まれる。この点で、説明を単純化するために、マイクロプロセッサの外部の追加エレメントについては詳細は説明されず、そのようなエレメントの例は以下の図21の説明まで延期される。

【0014】図1の回路の動作は以下の図3および図4に示されている追加の態様の詳細説明の後でより良く理解される。しかし、それらの態様の他に、本発明の実施形態はマイクロプロセッサの連続したクロック・サイクルに関して好ましいタイミングに従って動作することができる。したがって、図1のアドレス変換回路22の好ましいタイミングを理解するための背景として図2は図1に関連して一般的に示されているもの、と同等なマルチレベル・キャッシュ・アーキテクチャのための従来技術のキャッシュ・アクセス（すなわち、アドレス変換回路22のないもの）のタイミング図を示している。詳しく言うと、図2は低レベルのキャッシュ・ミスが発生した結果、L2キャッシュ回路14に対するキャッシュ・アクセスが行なわれている、クロック・サイクルt1～t3における連続したイベントを示している。図2の特定のクロック・サイクルを参照すると、t1においてL1キャッシュ回路12においてミスを発生

しているアクセスが示されており、これはL1キャッシュ回路12がアドレスが与えられて、そのアドレスにおいて求められた情報がそのキャッシュの中にはなかったことを意味している。それに応答して、そして或るタイプのアビトリレーション回路（図示せず）の制御下で、そのミスが検出され、t2において次の段階が発生する。特に、t2の間、アクセスはL2キャッシュ回路14に対して行なわれる。しかし、上記から、L2キャッシュ回路14はL1キャッシュ回路12より容量がかなり大きいことが好ましいことに留意されたい。結果として、1つの既知の方法は第1のクロック・サイクルにおいてL2キャッシュ回路14のタグ・メモリ18にアクセスし、キャッシュ・ヒットが発生した場合、次の連続したクロック・サイクルにおいてL2キャッシュ回路14のデータ・メモリ20にアクセスする方法である。この動作がt2およびt3に示されている。この場合、タグ・メモリ18においてt2の間にヒットが発生し、そしてL2キャッシュ回路14のデータ・メモリ20から情報がt3の間に読み出される。この2サイクルのプロセスは電力を節約するため、すなわち、L2キャッシュ回路14のデータ・メモリ20のすべてがキャッシュ・ミスのイベントにおいてアクセスされるのを防止するため、あるいは、キャッシュ・ヒットのイベントにおいてアクセスされるべきL2キャッシュ回路14のデータ・メモリ20の一部だけを或る瞬間にイネーブルするために、よく行なわれることに留意されたい。

【0015】図2についての上記の説明を前提として、本発明の発明者はメモリ行の冗長性のコンテキストにおいて2クロック・サイクルにわたるキャッシュのアクセスの動作がいかに有利に行なわれるかを認識している。この点において、本発明の発明者は本発明の適用範囲の態様を示している各種の実施形態を以下に提供し、そしてそれはメモリの冗長性に関連して追加のアクティビティに対して図2に示されている2つのクロック・サイクルのうちの最初のサイクルを使うのが好ましい。詳しく言えば、そしてイントロダクションとして、この2つのクロック・サイクルのうちの最初のサイクルにおける追加のアクティビティは、以下でより良く理解されるように、図1のアドレス変換回路22のコンテキストにおいて実行される。これが発生すると、次にこの追加のアクティビティの結果が図2に示されている2つのクロック・サイクルのうちの第2のサイクルの間に使われて、その前のクロック・サイクルの間に発生した追加のアクティビティの利点を備えているデータ・メモリのアクセスが実行されるようになる。

【0016】図3は上記の図1の情報メモリ20のより詳細なブロック図を示している。データ・メモリ20は一般的に28において示されている複数の記憶行を含む。この分野の技術において知られているように、行28のそれぞれは所定の数のビットを記憶するように動作

し、そしてその数はその実装によって広い範囲にわたる（たとえば、8ビットから256ビット以上まで）。以下でさらに明快になる理由のために、行28は2つのグループの行に分離され、一次行のグループ30と予備行のグループ32から構成されている。

【0017】一次行のグループ30は各行が上記のビット数の情報を記憶するように動作することを意図して作られているが、それらの行の1つが作られた後に欠陥行であることが発見される可能性があることはさらに理解される。好適な実施形態においては、一次行のグループ30は $2^R$ 個の行を含み、ここでRは実装に基づいて選択することができる。このための一例および次の図を提示する目的で、Rが8に等しいと仮定する。したがって、一次グループ30は256個の行（すなわち、 $2^8 = 256$ ）を含む。さらに、256個の行の例を使っていいる或る行に対する行アドレスが、以下でさらに明らかになる理由のために図3に示されている。

【0018】予備行のグループ32は一次行のグループ30の中の1つまたはそれ以上の行が欠陥行であることが分かった場合に、予備として動作するように作られている1つまたはそれ以上の行を含む。現在の説明では、その予備行のグループ32は単独の行だけを含むと仮定し、後で説明される他の実施形態においては、2つ以上の行がある予備グループを備えている。一次行のグループ30の他に予備行のグループ32があることを前提として、その予備行のアドレスは一次行のグループ30における最も大きなアドレスより1だけ大きいことが好ましいことに留意されたい。したがって、現在の例においては、グループ30の中の最大のアドレスは $2^8 - 1$ であるので、予備グループ32の中の行のアドレスは $2^8$ 、すなわち、現在の例では $2^8$ である。この好ましいアドレッシング・フォーマットの利点は以下に明らかになる。

【0019】データ・メモリ20は一般的に34において示されている複数のデコーダを含む。ここで各デコーダは28個の行のそれぞれ1つに対応している。さらに、以下に詳細に説明されるように各種の違いをさらに示すために、デコーダ34も2つのグループ、すなわち、一次行のグループ30に対応している一次デコーダ・グループ36、および予備行のグループ32に対応している予備のデコーダ・グループ38に分けられている。したがって、行とデコーダとの間の一対一の対応のために、一次行のグループ30の中に256個の行があった場合、その一次デコーダ・グループ36は256個のデコーダを含む。同様に、予備行のグループ32の中に1個の行があった場合、予備のデコーダ・グループ38は1個のデコーダを含む。グループ36および38の各デコーダは異なるアドレスに応答するように作られている。言い換えると、データ・メモリ20に対して与えられるアドレスはそのデコーダの1つだけに対応し、し

たがって、その対応している行だけがそのアドレスに応答して活性化される。したがって、従来の技術とは異なり、予備行に対応しているデコーダは一次行の1つにあるデコーダと同じアドレスをデコードしない。さらに、好適な実施形態においては、各行デコーダは別々のイネーブル用ヒューズを含まないことにも留意されたい。さらに、一次デコーダ・グループ36の中のデコーダは従来技術の原理に従って作ることができるが、この場合も、以下に説明される理由のために必要である追加のディスエーブル用ヒューズなどの装置がなくなっていることにも留意されたい。最後に、一次グループ36の中の各デコーダは合計 $2^R + 1$ の異なる行を区別しなければならないことに留意されたい。結果として、各デコーダはR+1ビットのアドレスをデコードするように構成される。たとえば、R=8の場合、データ・メモリ28は合計で257個の行（すなわち、256の一次行および1個の予備行）を含む。したがって、一次デコーダ・グループ36の中の各デコーダには合計9ビットが必要である。予備のデコーダ・グループ38の中のデコーダの構造は後で詳細に説明される。

【0020】図4は上記の図1のアドレス変換回路22のブロック図をより詳細に示している。アドレス変換回路22は図1に示されている入力アドレスを受け取るために入力40を備えている。入力40はラッチなどの記憶装置42に対して接続されていることが好ましい。データ・メモリ20の一次行のグループ30の中の $2^R$ 個の行の参照を使って、入力アドレスのビット数はRであることに留意されたい。したがって、これらのビットのうちの最初のものが0番目のビットであった場合、記憶装置42の中に格納されるアドレスは図に示されているようにビット0～ビットR-1から構成されることになる。記憶装置42の出力はコンパレータ44の第1の入力に接続され、そしてアドレス出力の記憶装置46の下位の部分46aにも接続されている。アドレス変換回路22は欠陥行識別子回路48も含む。それは以下に詳細に説明されるように、一次行のグループ30の中に欠陥行が1つあった場合、その欠陥行の識別情報を格納する。1つの好適な実施形態においては、識別子回路48の中の欠陥行の符号化は従来の技術におけるアドレスのデコードおよび行のイネーブリングにおいて使われているヒューズの技術と同様な方法でヒューズを使って設定される。たとえば、Rビットのアドレスの場合、識別子回路48はR個のヒューズを含み、それは一次行のグループ30の中の1つの欠陥行のアドレスを示すように構成する（たとえば、レーザによって切断する）ことができる。行識別子回路48を形成するために他の構成を使うこともできることに留意されたい。たとえば、複数ビットのレジスタ、あるいは単独ビットのレジスタの組合せを使って以下に説明される符号化機能を提供することができる。別の例とし、ランダム・アクセス・メモリま

たは電気的に消去可能なプログラマブルな読み出し専用メモリなどの他の記憶装置またはメモリ・タイプを使うことができる。さらにもう1つの方法として、再プログラム可能な記憶構造と永久的な記憶構造との組合せも行識別子回路48のために使える。このことに関して、テスト時にその再プログラム可能な装置が符号化されるべき適切な値を決定するために使われ、そして一度その値が知られると、その値を符号化するために永久的な記憶構造が使われ、その後、行識別子回路48の機能を実行する。いずれにしても、欠陥行識別子回路48の出力はコンパレータ44に対する第2の入力として接続される。さらに、コンパレータ44はイネーブル回路49から制御信号を受け取る。好適な実施形態においては、イネーブル回路49は一次行のグループ30の中に欠陥行が見つかったかどうかを示す単独のヒューズも含む。言い換えば、一次行のグループが作られた後、その行のうちの1つが欠陥行であるかどうかを知るために、既知の技法を使ってテストされる。そうであった場合、そして以下により明確になる理由のために、コンパレータ44の比較および結果の動作をイネーブルすることが望ましい。結果として、このイベントにおいて、イネーブル回路49の単独のヒューズが、欠陥行が識別されたことを示すために1の状態に構成され（たとえば、この場合もレーザによってヒューズが切られ）、したがって、コンパレータ44の機能をイネーブルする。この機能をイネーブルすることは各種の技法によって実現できることに留意されたい。たとえば、比較の結果は比較がイネーブルされたときにセットされる信号と論理的にANDが取られるようにすることができる。結果として、比較がイネーブルされなかったとき、その出力は論理ANDに対するロー入力によってマスクされることになる。いずれにしても、欠陥行が見つかなかつた場合、イネーブル回路49のヒューズは欠陥行が識別されなかつたことを示すために反対の状態に構成される。したがって、この場合、コンパレータ44の機能はイネーブルされない。いずれの場合でも、コンパレータ44の出力はMATC H信号としてアドレス出力記憶装置46の上位の部分46bに対して接続される。図4の実施形態においては、この上位の部分46bは下位の部分46aに対して連結されている単独のビットから構成され、したがって、図4の中のビットRとして示されている。最後に、出力記憶装置46の全体に記憶されているアドレス（すなわち、上位部分と下位部分46bおよび46aの両方）がアドレス変換回路22によって出力され、図1に示されているようにデータ・メモリ20に対して接続される。さらに、図3から分かるように、このビット0～Rのアドレスはデータ・メモリ20のデコーダ34に接続されている。

【0021】図5はそれらの回路のさらに詳細が与えられている図1の回路に対する動作50の方法のフローチ

ャートを示している。簡単に言えば、方法50の段階を見る前に、方法50はL1キャッシュ回路12とは反対にL2キャッシュ回路14のアドレッシングだけを扱っていることに留意されたい。したがって、L1キャッシュ回路12に対するアクセスおよびそのキャッシュの中での結果のミスの説明は方法50の中では提示されず、同じ情報がL1キャッシュ回路12の中で見つかった場合（すなわち、キャッシュ・ヒットがL1キャッシュ回路12の中で発生した場合）、究極的に情報はL2キャッシュ回路14から読み出される必要はないことが理解される。このイントロダクションを前提として、方法50の段階が以下に説明される。それはL1キャッシュ回路12の中でのミスを仮定し、そしてその次に本発明の実施形態に従ってそれらの段階の適用をさらに示すための例が続く。

【0022】方法50は段階52から始まる。その段階において、メモリ・システム10を含むマイクロプロセッサがメイン・メモリの中に記憶されている情報に対するアドレスを発行し、それは定義によって、キャッシュ・メモリの1つのレベルの中に格納されている可能性もある。このアドレスを区別する目的で、それはこれ以降ではオリジナル・アドレスとして呼ばれる。したがって、上記で示唆されたように、このオリジナル・アドレスはL1キャッシュ回路12の中ではヒットを発生しないことが仮定され、したがって、次の説明はL2キャッシュ回路14のアクセスに対して行われる。方法50は段階54へ続く。ここでは2つの同時並行アクションが発生する。1つのアクションとして、段階54はオリジナル・アドレスをL2キャッシュ回路14のタグ・メモリ18に対して印加する。これはこの分野の技術においてよく知られている原理に従って発生することができる。しかし、別のアクションとして、段階54はオリジナル・アドレスをアドレス変換回路22にも印加する。そこではオリジナル・アドレスが記憶回路42（図4参照）へ格納される。オリジナル・アドレスを記憶回路42に置くことによって、そのオリジナル・アドレスは出力記憶装置46の下位部分46aにもコピーされることに留意されたい。

【0023】段階56において、アドレス変換回路22はコンパレータ44がイネーブルされるかどうかを決定する。言い換えば、アドレス変換回路22は一次行のグループ30の中に欠陥行が識別された場合に追加の機能を実行するために、コンパレータ44をイネーブルする何らかのメカニズム（たとえば、ヒューズ）を含んでいるイネーブル回路49を含むことを上記から思い出されたい。したがって、段階56から、コンパレータ44がイネーブルされた場合、方法50は段階58へ継続する。他方、コンパレータ44がイネーブルされない場合（すなわち、一次行のグループ30の中に欠陥行がない場合）、方法50は以下に説明される段階62へ継続す

る。

【0024】上記から、段階58は有効な欠陥行の識別子が回路48の中に格納されている場合にのみ実行されることに留意されたい。この例では、段階58において、コンパレータ44は記憶回路42の中のオリジナル・アドレスが、回路48の中に格納されている欠陥行の識別子にマッチするかどうかを判定する。マッチが発生した場合、方法50は段階60へ継続する。他方、マッチが発生しなかった場合、方法50は以下に説明される段階62へ継続する。

【0025】オリジナル・アドレスが欠陥行の識別子に対してマッチしたために到達する段階60は、上位部分のビット46bをハイ状態にセットするMATCH信号を断定する。段階54から、下位部分46aはオリジナル・アドレスのコピーとして既に設定されていることを思い出されたい。したがって、この点で、MATCH信号を使って46bの部分のビットをセットすることによって、そしてこのセットされたビットが下位部分46aと組み合わされるとき、最上位ビットとして連結されるので、この段階は上位46bと下位部分46aとの組合せによって表される出力記憶装置46の中の新しいアドレスへ、オリジナル・アドレスを実効的に変換することに留意されたい。代わりに、段階58によって段階60がバイパスされた場合（すなわち、オリジナル・アドレスと欠陥行の識別子との間のマッチが発生しなかった場合）、MATCH信号は断定されず、そして上位部分46bのビットはロー状態のままになる。したがって、オリジナル・アドレスと欠陥行の識別子との間のマッチが発生しなかった場合はアドレス変換は実効的には発生せず、オリジナル・アドレスだけが出力記憶装置46の中に残っている。

【0026】段階62はオリジナル・アドレスに応答してタグ・メモリ18の中でヒットが発生したかどうかを判定する。ヒットが発生しなかった場合（すなわち、タグ・メモリ18においてミスが発生した場合）、方法50は段階64へ継続する。他方、ヒットが発生した場合、方法50は段階66へ継続する。

【0027】段階64および66の代替アクションを説明する前に、マイクロプロセッサの連続したクロック・サイクルに関して方法50の段階のタイミングにさらに留意されたい。詳しく言えば、上記の図2がマイクロプロセッサの連続したクロック・サイクルおよびそれらのサイクルを前提として昇順のキャッシュ構造のアクセスの概念を導入したことを思い出されたい。この図から、本発明の発明者は或る種のキャッシュ構造（たとえば、L2キャッシュ回路14）の場合、情報が究極的にそのようなキャッシュから読み出されるときには2つの連続したクロック・サイクルが必要であり、最初のクロックは一般にタグ・メモリにアクセスし、その次の第2の連続したクロックは一般にデータ・メモリにアクセスする

ためにあることを認識していることに留意されたい。図2の中ではこれらの2つのクロック・サイクルはt2およびt3として示されている。このコンテキストを前提として、図5の段階52、54、および62は図2のt2のタグ・メモリ・アクセスに相当するものであることに留意されたい。したがって、図5において、段階62の後に点線が示されており、その線のすぐ上の部分はその線より上の段階が第1のクロック・サイクルの間に発生することが好ましいことを示している。しかし、段階56、58、および60もこの同じサイクルの間に発生することに留意されたい。言い換えれば、そして以下に説明される例からより良く理解されるように、L2キャッシュ回路14のタグ・メモリ18がヒットに対してチェックされるのと同じクロック・サイクルの間に、段階56、58、および60のアドレス変換も、必要があれば発生する可能性がある。したがって、点線より下では、次の連続したクロックが発生し、その次の段階はその連続したクロック・サイクルの間に発生することが好ましい。

【0028】段階64にはL2キャッシュ回路14のタグ・メモリ18の中でヒットがなかったときに入ることを思い出されたい。したがって、従来の技術の方法においては、段階64はオリジナル・アドレスを使うことによってマイクロプロセッサのメモリ構造における、次に高いレベルにある記憶装置をアドレスする。たとえば、この次の高いレベルにある記憶装置は追加のキャッシュ回路である可能性がある。代わりに、この記憶の次の上位レベルは図1に示されているバスBに結合されている外部メモリなどのメイン・メモリである可能性もある。したがって、いずれの場合でも、オリジナル・アドレスにある情報は究極的に見つけられ、その情報を求めている回路によって使われるためには適切なバス上に置かれる。

【0029】段階64に対する代替段階として、L2キャッシュ回路14のタグ・メモリ18においてヒットがあったときには段階66に入ることを留意されたい。この例においては、段階66はL2キャッシュ回路14のデータ・メモリ20をアドレスし、そのアドレスされた情報を出力する。さらに、段階66は出力記憶装置46からのアドレスを使ってデータ・メモリ20をアドレスすることに留意されたい。データ・メモリ20が出力記憶装置46からのアドレスによってアドレスされるとして、段階66に先行している段階の代替アクションを仮定して、上記のプロセスに関して観察されるいくつかの事項に留意されたい。たとえば、アドレス変換が行なわれない場合、（すなわち、コンパレータ44がイネーブルされなかったか、あるいはMATCH信号が断定されなかったかのいずれかのために、ビット46bがロー状態のままになっている場合）、出力記憶装置46のアドレスはアドレッシングの目的としてはオリジナル

・アドレスと違っていない。言い換れば、この例の場合、出力記憶装置46の中のアドレスはその先頭部分が新しく0になっている（すなわち、上位部分46bから）、それは先頭の0がない場合と同じロケーションをアドレスする。したがって、実効的に、オリジナル・アドレスがデータ・メモリ20に接続され、データ・メモリ20はオリジナル・アドレスによってアドレスされる一次行アドレス30の中の1つの行からその情報を出力する。しかし、これと反対に、アドレス変換が行なわれる場合を次に考える。詳しく言えば、オリジナル・アドレスと欠陥行の識別子との間のマッチをコンパレータ44が見つけたために、上位部分46bをハイにセットすることによってそのような変換が発生した。言い換れば、オリジナル・アドレスは変更されなければ、データ・メモリ20の一次行のグループ30の中の欠陥行をアドレスした筈である。しかし、最上位ビットがセットされたために、新しいアドレスが出力記憶装置46の中に生成され、それはデータ・メモリ20の一次行のグループ30の中の欠陥行をアドレスせず、その代わりに、以下に詳しく説明されるように、予備のグループ32の中の行をアドレスするように再マッピングされる。

【0030】上記を前提として、この分野の技術に熟達した人であれば、欠陥行に対して向けられたオリジナル・アドレスが変換されると、その最上位ビット（すなわち、Rの位置にあるビット）が論理1の状態になることが分かる。この効果を認識しながら、次に図3に戻って、特にその図の予備デコーダ38に注目する。予備のデコーダ38は $2^R$ のアドレスの行に対応することを思い出されたい。したがって、従来の設計においては、予備のデコーダ38は行 $2^R - 1$ のアドレスより1だけ大きいアドレスをデコードするように設定されることになる。たとえば、上記で提案されたR=8を使って、予備のデコーダ38は100000000のアドレスをデコードするように設定される。さらに、その同じ決まりの下に、予備のデコーダ38はR+1ビットのアドレスをデコードするように構成されることになる。しかし、上記の説明から、この分野の技術に熟達した人であれば、最上位ビット（「MSB」）が1であるいずれの場合にも、 $2^R$ のアドレスの行が予備として使われるべくアドレスされることが分かる。言い換れば、MSB以外のすべてのビットは予備行をアドレスする目的には無関係である。というのは、MSBがセットされていた場合、予備行32がアドレスされることが分かるからである。結果として、予備のデコーダ38はビット0～R-1を無視するように構成することができ、そしてMSB（すなわち、ビットR）が1に等しい場合にだけ応答する。この例では、アドレスの変換がビットRを1にするように設定されるように発生すると、その変換されたアドレスはオリジナル・アドレスとは異なるものとして検出される。というのは、Rが1になっており、したがって、

その変換されたアドレスはオリジナル・アドレスによってアドレスされることになった筈の欠陥行ではなく、予備行32をアドレスするように再マッピングされるからである。

【0031】上記の原理をさらに詳しく示すために、1つの例がここで提示される。その場合、オリジナル・アドレスはデータ・メモリ20の中の欠陥行をアドレスすることを求めるので変換される。したがって、データ・メモリ20を製造した後、一次グループ30の中のアドレス00001111の行が欠陥行であると判定されたと仮定する。したがって、イネーブル回路49はアドレスの変換をイネーブルするように設定され、そして欠陥行のアドレス（すなわち、00001111）が欠陥行識別子回路48の中に記憶される。次に、マイクロプロセッサがオリジナル・アドレスとしてアドレス00001111を発行すると仮定し、そしてそのアドレスがL1キャッシュ回路12の中でミスを発生すると仮定する。したがって、このオリジナル・アドレスはL2キャッシュ回路14に対して発行され、次にさらに評価されるように、方法50の段階が開始される。最初のクロック・サイクルの間に、段階54は00001111のアドレスをタグ・メモリ18に印加する。同じクロック・サイクルの間に、アドレスの変換がイネーブル回路49によってイネーブルされるので、00001111のオリジナル・アドレスがコンパレータ44によって欠陥行識別子回路48の中の識別子に対して比較される。現在の例の仮定を前提として、オリジナル・アドレスと欠陥行のアドレスとの間にマッチがあり、したがって、コンパレータ44はMATCH信号を断定し、それにより、オリジナル・アドレスに対して新しくセットされたMSBが連結され、実効的にそれを00001111から10000111に変換する。次に、そのオリジナル・アドレスがタグ・メモリ18の中でヒットを発生することも仮定した場合、次のクロック・サイクルにおいてその変換されたアドレスがデコーダ34に印加される。そのアドレスは変換されているので、欠陥行のアドレスの00001111に対応しているデコーダはその対応している行を活性化しない。というのは、その変換されたアドレスはその欠陥行のアドレスにはマッチしなくなっているからである。代わりに、変換されたアドレスの中のMSBがセットされているので、予備行32に対応するデコーダが活性化され、それによってアドレスされた情報を出力するためにその予備行にアクセスする。：

【0032】上記の原理をさらに説明するために、前の例のアドレスの00001111がここでふたたび方法50に適用されるが、そのオリジナル・アドレスはデータ・メモリ20の中の欠陥行をアドレスしないので、オリジナル・アドレスが変換されない場合の例が示される。したがって、ここでは、データ・メモリ20が製造された後で1つの欠陥行が識別されたとふたたび仮定

し、そしてさらに、そのアドレスが00000011であると仮定する。したがって、ふたたびイネーブル回路49がアドレスの比較をイネーブルするためにセットされ、そしてその欠陥行のアドレス（すなわち、00000011）が欠陥行識別子回路48の中に記憶される。次に、マイクロプロセッサがオリジナル・アドレスとしてアドレス00001111を発行すると仮定し、そしてL1キャッシュ回路12の中でのミスを仮定する。したがって、第1のクロック・サイクルにおいては、段階54がコンパレータ44以外にタグ・メモリ18に対して00001111のアドレスを印加する。それに応答して、00001111のオリジナル・アドレスが欠陥行識別子回路48の中に記憶されている00000011の欠陥行の識別アドレスと比較される。したがって、そのオリジナル・アドレスと欠陥行のアドレスとの間にはマッチがなく、コンパレータ44はMATCH信号を断定しない。結果として、00001111のオリジナル・アドレスは妨害されないままに残る。というのは、それは0に等しい新しいMSBと連結されるだけで、結果の実効アドレッシング信号は00000111となる。次にオリジナル・アドレスがタグ・メモリ18の中でヒットを発生させることも仮定して、変更されていない実効アドレスが次のクロック・サイクルにおいてデコーダ34に対して印加される。そのアドレスは変換されていないので、00000111の行アドレスに対応しているデコーダが一次グループ30の中の適切な行を活性化し、それによってそのアドレスされた情報を出力するためにその一次行にアクセスする。

【0033】上記の説明によって、この分野の技術に熟達した人であれば、本発明の実施形態から従来の技術に比べて各種の利点が発生することが分かる。たとえば、欠陥行のアドレスを符号化するために必要なヒューズ（または他の類似の装置）の個数は、一次行当たりに1つを必要とするほかに、到来するアドレスを予備行にデコードするための追加のヒューズを必要とする従来技術の構成で必要となる数よりもはるかに少なくなる。もう1つの例として、ヒューズ（または他の同様な装置）の場所は各行に沿ってではなく、共通の場所に置くことができ、それによって構造および設計の諸事項が改善される。さらに他の利点がこの分野の技術に熟達した人によって理解される。それは本発明の範囲内での各種の他の柔軟性のある方法および代替案を含み、そのいくつかは追加の実施形態の中で以下に示される。

【0034】図6は上で紹介されたアドレス変換および行アドレッシングの概念に関連して、2つ以上の予備行を使うことができる他の実施形態を示している。さらに詳しく言えば、図6は図4および3の中にあるようなアドレス変換回路22およびデータ・メモリ20をそれぞれ示しているが、複数の予備行を収容するためにそれらの回路の各種の態様をさらに変更する。したがって、前

の図と同様なエレメントが使われる場合は、その共通の参照番号が使われる。しかし、機能が異なるために、以下に示されているように図6の中に異なる参照番号が導入されている。

【0035】図6の中のデータ・メモリ20を参照して、ここで一般的に68で示されている複数の記憶行をふたたび含んでいることに留意されたい。これらの行は一次行のグループ30および予備行のグループ70を含む。この実施形態においては、予備行のグループ70は、前の実施形態での1つだけの代わりに2つの行を含む。したがって、以下の説明から理解されるように、2つまでの欠陥行を一次行のグループ30の中で識別することができ、それらのうちの各1つをグループ70中の2つの予備行のうちの1つに対して再マッピングすることができる。また、データ・メモリ20も一般的に72に示されている複数のデコーダを含み、ここでも予備の記憶行68のそれぞれに対して単独のデコーダがある。さらに、そのデコーダはやはり2つのグループに分けられており、一次デコーダ・グループ36は一次行のグループ30に対応しており、予備デコーダのグループ74は欠陥行の70に対応している。グループ36の構造は上記と同じ構造になっている。グループ72の中のデコーダについては後で説明される。

【0036】図6の中のアドレス変換回路22を眺めると、それは記憶回路42に対してオリジナル・アドレスを接続するための入力40をやはり含んでいる。図6において、記憶回路42の出力はアドレス出力記憶装置76の第1の部分76aに接続されている。さらに、記憶回路42の出力は2つの別々のコンパレータ44aおよび44bの入力に接続されている。コンパレータ44aは第2の入力から欠陥行の識別子48aからの第1の欠陥行の識別子を受け取るように接続されており、一方、コンパレータ44bは欠陥行識別子回路48bから第2の欠陥行の識別子を第2の入力から受け取るように接続されている。さらに、44aおよび44bの各コンパレータは対応しているイネーブル回路49aおよび49bにそれぞれ応答して、その比較機能をイネーブルするよう接続されている。コンパレータ44aおよび44bの出力はORゲート78の入力に接続されている。ORゲート78の出力はMATCH信号を提供するためにアドレス出力記憶装置76の第2の部分76bに接続されている。さらに、コンパレータ44aの出力もアドレス出力記憶装置76の第3の部分76cの入力に接続されている。最後に、この実施形態においては、アドレス出力記憶装置76の第1および第2の部分76aおよび76bだけがそれぞれデコーダのグループ36に接続されており、そして第2および第3の部分76bおよび76cだけが、以下でさらに明確になる理由によって、それぞれ予備デコーダのグループ74に接続されている。

【0037】図6の動作は以下に説明される追加の文章

に沿って、図5の方法50をふたたび参照することによって理解することができる。したがって、読者は上記の説明について良く理解していると仮定され、図3および図4と対照されたとき、図6の追加の、あるいは他の態様に次の注意を集中することになる。動作において、図6の回路は一般に方法50に従うが、オリジナル・アドレスは2つの予備行のうちの1つに再マッピングすることができる。ふたたび、オリジナル・アドレスがレジスタ42にロードされ、そしてここではそれは記憶装置76の第1の部分76aへコピーされる。次に、そのオリジナル・アドレスが識別子回路48aおよび48bの中の対応している欠陥行の識別子に対するコンパレータ44aおよび44bのいずれか、またはその両方によって比較され、その場合、44aおよび44bの各コンパレータは対応しているイネーブル回路49aおよび49bによってイネーブルされると仮定されている。上記を前提として、この分野の技術に熟達した人であれば、図6のデータ・メモリ20が製造された後、第1の欠陥行が識別される可能性があり、そのアドレスが回路48aに記憶され、そして比較がコンフィギュレーション・イネーブル回路49aによってイネーブルされることが分かる。さらに、第2の欠陥行が識別される可能性があり（ふたたび既知の技法を使って）、そのアドレスは回路48bに記憶され、そしてその比較がコンフィギュレーション・イネーブル回路49bによってイネーブルされる。コンパレータ44aまたは44bのいずれかがMATC信号を断定した場合、ORゲート78の出力が断定され、それによってアドレス出力記憶装置76の中の第2の部分76bが設定される。上記から、第1および第2の部分76aおよび76bは次にデータ・メモリ20に接続されていることを思い出されたい。結果として（そして、タグ・マッチを仮定して）、ふたたび一次行のグループ30の中の行の1つにアクセスするために、変っていないオリジナル・アドレスが接続されるか、あ

るいはそのオリジナル・アドレスが再マッピングされた場合には欠陥行をアドレスしないように接続されるかのいずれかとなる。次に予備行をアドレスする追加の態様が以下に説明される。

【0038】上記から、第2の部分76b（すなわち、ビットR）は一次デコーダのグループ36、あるいは対応している行が現在のアドレスによってアクセスされるべきである予備デコーダのグループ74のいずれかに対する指示として実効的に動作する。詳しく言えば、上記の例において、第2の部分76bがセットされなかった場合、一次デコーダのグループ36の中のデコーダがその対応している行を活性化し、一方、第2の部分76bがセットされた場合、予備デコーダのグループ74の中の1つのデコーダがその対応している行を活性化する。図4の実施形態においては、この単独の追加ビットが単独の予備行をアドレスするためのベースを提供していた。しかし、図6の実施形態においては、2つの予備行があり、したがって、オリジナル・アドレスが欠陥行に対して向けられたものであることが判定されたときに、どの予備行がアドレスされるべきであるかを示すために、少なくとも1つの追加の指示が必要である。したがって、この好適な実施形態においては、記憶装置76の第3の部分76cがこの追加の指示を提供し、したがって、その予備行のうちの1つをアドレスするための「アドレス」の部分である信号であるとみなされる。さらに詳しく言えば、上記から第2の部分76bおよび第2の部分76cは両方共予備のデコーダのグループ74に接続されていることを思い出されたい。したがって、それらの2つのビットの組合せに基づいて、予備行のグループ74の中の2つの行の中の1つを、対応しているデコーダによってアドレスすることができる。たとえば、1つの方法は次の表に示されているようになる。

## 【0039】

【表2】

予備行のアドレス	第2の部分76b	第3の部分76c
$2^k$	1	1
$2^k + 1$	1	0

表1

【0040】したがって、表1が与えられて、予備のデコーダのグループ74をそのグループの各デコーダが2つのビットだけ（すなわち、第2および第3の部分76bおよび76c）を受け取り、それらのビットをデコードして図に示されているように適切な予備行をアドレスするような構造にすることができる。この例の場合、第2の部分76bがセットされているいずれの場合においても、MATC信号が断定されており、したがって、

2つの予備行のうちの1つがアドレスされることになる。さらに、第2の部分76bがセットされている場合、第3の部分の値によってアドレス $2^k$ の行またはアドレス $2^k + 1$ の行のいずれかが活性化されることになる。したがって、いずれの場合でも、オリジナル・アドレスは2つの予備行のアドレスのうちの1つに対して再マッピングされる。

【0041】図6の上記の代替実施形態は、この分野の技術に熟達した人によって合計2つまたはそれ以上の整

数個の予備行を含むようにさらに修正することができ、その整数S個の予備行として表される。さらに詳しく言えば、各予備行に対して、識別子回路48、コンパレータ44、イネーブル回路49、およびデコーダを追加することができる。したがって、そのような代替実施形態はS個の識別子回路48、S個のコンパレータ、S個のイネーブル回路49、およびS個のデコーダを予備デコーダのグループ74の中に含む。さらに、S個のコンパレータ44のそれぞれの出力は論理ORゲート78の入力に接続される。したがって、これに関して、S個のコンパレータ44のどれかがマッチを検出した場合、MATCIIは第2の部分76bがセットされるように断定され、それによってオリジナル・アドレスが、元々それがアドレスすることを意図していた一次行のグループの中の行をアドレスしないように再マッピングする。したがって、予備行の数Sを2より大きい値に拡張することによって、オリジナル・アドレスが再マッピングされるときに、その適切な予備行を選択するための追加の技法が必要であることにさらに留意されたい。したがって、1つの方法においては、S個のコンパレータ44の各出力をS個の対応している予備デコーダの1つに接続することができる。したがって、ビットRがセットされた場合、対応しているコンパレータ44から断定された出力を受け取っている予備のデコーダは、その対応している予備行を活性化することになる。代わりに、S個のコンパレータのそれぞれの出力を符号化して1つの信号にし、それが次に予備デコーダのすべてによってデコードされて、そのデコードされた信号に応答して、対応している適切な予備行だけが活性化されるようにすることができる。したがって、いずれの場合でも、この分野の技術に熟達した人であれば、与えられたメモリ構造に対して1つ、2つ、あるいはそれ以上の予備行に対して上記の実施形態をどのように実装するかが分かる。

【0042】図7はさらにもう1つの代替実施形態のブロック図を示しており、この中で行の1つのブロックの中の1つの欠陥行を予備行のブロックの中の予備行の1つに再マッピングすることができる。さらに詳しく言えば、上記の実施形態の場合と同様に、以前の図からの類似のエレメントが使われる場合、図7において共通の参考番号が使われている。しかし、異なる特徴に対しては、以下に説明されるように異なる参考番号が導入されている。

【0043】図7のデータ・メモリ20を参照して、ふたたび一般的に2<sup>R</sup>個の行のある一次行のグループ80、および1つの予備行のグループ82をそれが含んでいることに留意されたい。しかし、図7の実施形態においては、一次行のグループ80は論理的に84<sub>a</sub>～84<sub>b</sub>で示されたいくつかの行のグループにまとめられている。説明の目的で、Rはふたたび8に等しい（すなわ

ち、256個の一次行がある）と仮定し、そしてさらに各ブロック84には4つの行があると仮定する。したがって、一次行のグループ80は64個のブロックを含み、各ブロックには4つの一次行がある。さらに、予備行のグループ82も一次行のグループ80の中のブロックと同じ数の行を備えているブロックによって構成されていることにさらに留意されたい。この例に対してさらに、予備行のグループ82は単独のブロック（すなわち、4つの予備行）だけを含むが、代替実施形態においては、この分野の技術に熟達した人によって理解されるように、2つ以上のブロックを含むこともできる。最後に、一次行のグループ80および予備行のグループ82の各グループに1つずつのデコーダ・グループが対応しており、それによって一次デコーダのグループ86および予備デコーダのグループ88がそれぞれ提供されることに留意されたい。各デコーダのグループの中には、以下に詳細に説明される理由のために、そのグループ中の各行に対して単独のデコーダがあることが好ましい。

【0044】図7のアドレス変換回路22を参照して、それは2つの点で図4のアドレス変換回路22と異なっていることに留意されたい。まず最初に、図7においては、アドレス変換回路22は上記の単独の行識別子ではなく、コンパレータ44に対する第2の入力として出力される欠陥ブロック識別子回路90を含む。第2に、記憶装置42からの2つの下位ビット以外のすべてのビットがコンパレータに対する第1の入力として接続され、一方、記憶装置42からのすべてのビットが図4の中のコンパレータ44に接続されている。これらの違いの目的および利点は、以下に説明される動作説明から理解される。

【0045】図7のコンポーネントの動作は多くの点において上記の各種の態様と同等であり、そして読者は前の説明を良く理解していると仮定される。しかし、一般に図7の実施形態は、上記のように単独の行のベースではなく、ブロックのベースで欠陥行を再マッピングすることができることに留意されたい。言い換えれば、データ・メモリ20が製造された後、ブロック84<sub>a</sub>～84<sub>b</sub>のどれかの中の1つの行が欠陥行であるかが判定される。この場合、そのブロックの識別子が欠陥ブロック識別子回路90の中に記憶される。ふたたび、その識別は図4の識別子回路48の場合と同様にヒューズの方法によって実現することができる。しかし、この場合、単独の行ではなく、行のブロックが使われているので、ブロックのアドレスは1つの行のアドレスより少ない数のビットで済む。4つの行があるこの例のブロックの場合、ブロック識別子はその2つの下位ビット以外の欠陥行のアドレスであることが好ましい。たとえば、一次行のグループ80の中のアドレス00001111の行が欠陥行であることが発見された場合、000011のブロック・アドレスが欠陥ブロック識別子回路90の中に記憶

される。さらに、上記の実施形態と同様に、イネーブル回路49がセットされてアドレス比較をイネーブルする。次に、入力のアドレスが記憶装置42の中に受け取られたとき、そのブロック・アドレス、すなわち(ビット[R-1:2])が回路90の中のブロック識別子と比較される。ふたたび、マッチが見つかった場合、MATC H信号が断定され、それによって出力記憶装置46の中のビットRがセットされる。したがって、出力記憶装置46からの全体のアドレスがデータ・メモリ20に対して接続されるとき、それは欠陥がなければアドレスした筈であったその欠陥行をアドレスしないように再マッピングされる。

【0046】図7についての上記の説明を前提として、その中に説明されているデータ・メモリ20に関連していくつかの追加のコンポーネントがデコーディングに関して必要となる。一次デコーダ・グループ86に関して、上記の実施形態と同様に、そのグループの各デコーダは既知の技法を使って作ることができ、R+1ビットのアドレスを一次行のグループ86の中の $2^R$ 個の行の1つに対してデコードすることができる。しかし、予備デコーダのグループ88に関しては1つのブロックの行の内部の個々の行をアドレスする必要があるので、図3に関連して説明された追加のデコーディングが必要であることに留意されたい。より詳しく言えば、図4と同様に、図7の実施形態においても予備の各デコーダは出力記憶装置46からビットRを受け取る。しかし、その他に、予備の各デコーダは予備行のグループ82の中の予備行の適切な1つを活性化するために十分な情報を受け取らなければならない。1つの実施形態においては、この情報は出力記憶装置46からの整数Lの下位ビットの方法によって与えられる。ここでしは $1 \leq g_2$  (1つのブロックの中の行の数)である。したがって、現在の例においてはしは $1 \leq g_2$  (4)、すなわち、2に等しく、したがって、出力記憶装置46からビット[1:0]も各予備デコーダに対して接続されている。したがって、出力記憶装置46からのビットRは、予備の各デコーダによってデコードされて入力アドレスが予備行のブロックに対して再マッピングされ、そしてL個の下位ビットが予備ブロックのグループ82の中の行のうちの選択された1つに対してデコードされることを示す。この機能を前提として、既知のデコード構造を作成して適切な制御を実行することができる。他の実施形態として、L個の各ビットを単独のデコーダに接続し、次にそのデコーダが予備行の1つに対して信号を出し、そのデコーダに対するL個の入力ビットの可能な組合せに基づいて、その行を活性化するようにすることができる。

【0047】図7についての上記の説明を前提として、この分野の技術に熟達した人であれば、本発明の適用範囲は予備行に対する欠陥行のブロック指向の再マッピングも含むことが分かる。この代替案は上記の実施形態か

らの各種の利点を提供する他に、ある種の追加の利点を提供することに留意されたい。たとえば、図7の実施形態は4つの欠陥行のすべてが同じグループの行の中にあった場合、単独の行に対してだけではなく、4つまでの欠陥行に対して1つの予備行に再マッピングすることができる。別の例として、図7の実施形態を4つの行以外のブロック・サイズに拡張することができる。さらに、図6は図4の回路を少し変更して複数の行を実装することができる方法を示していることを思い出されたい。同様に、図7についてのそれらの説明を組み合わせることによって、この分野の技術に熟達した人であれば、図7を少し変更して、同様に2つ以上の予備ブロックに対して再マッピングすることができる。さらに追加の利点および実施形態もこの分野の技術に熟達した人によって確認される。

【0048】図8aは本発明の範囲内でのさらに他の代替実施形態を示しており、それは上記の各種の実施形態と各種の原理を共有する。しかし、その複雑性およびいくつかの違いのために、図8aの中では新しい参照番号が使われ、一方、この分野の技術に熟達した人であれば、上記の各種の実施形態と共通の様態を共有するアイテムを次の用語以外にその接続から理解することができる。次に図8aを参照すると、キャッシュ回路の中に含めることができて、ふたたびL2キャッシュ回路14に関して図1の中で示されていたような方法で、アドレス変換回路94からアドレスを受け取るためのデータ・メモリ92が一般的に示されている。しかし、より複雑ではあるが有用であることが多い1つの実施形態として、データ・メモリ92はBANK0～BANK3で示されている4つの異なるメモリ・バンクを含む。さらに、各バンクの内部では、記憶行は異なる「ウェイ」(この用語はこの技術分野において知られている)に分離されている。この例においては、そのような各BANKは4つのそのようなウェイに分類されているので、データ・メモリ92は4ウェイの連想メモリと呼ばれる。

【0049】データ・メモリ92の各BANKは、各BANKを別々にアドレスできるように、異なるデコーダによって同様な方法で一般的に作られる。したがって、全体としてその複数のBANKは単独のBANKの中に格納される情報の量の4倍を格納する。各BANKについての同様なエレメントをより良く理解するために、同様な参照番号が各BANKに対して使われており、その添字はその参照されたアイテムが所属するバンクを示している。したがって、各バンクがどのように作られているかの一例としてBANK0を眺めると、それはこの分野の技術において知られているようなセンス・アンプのライン96<sub>0</sub>によって分離されている上部半分と下部半分とを含む。センス・アンプのライン96<sub>0</sub>はBANK0の上部または下部の半分のいずれかの指定されたウェイから情報を読み出すように活性化することができ、そ

れによってデータ・メモリ92からその情報を出力することができる。しかしさらに、この既知の構成の他に、回路は上記の実施形態と矛盾しない。詳しく言えば、BANK0の半分は一次行のグループと予備行のグループとを含む。したがって、BANK0の上部の半分は一次行のグループ $98_{T0}$ を含み、一方、BANK0の下部の半分も一次行のグループ $98_{B0}$ を含む。この好適な実施形態においては、各一次行のグループは128個の行を含み、各行は512ビット（すなわち、64バイト）の情報を格納するように動作することができる。同様に、BANK0の上部の半分は予備行のグループ $100_{T0}$ を含み、一方BANK0の下部の半分も予備行のグループ $100_{B0}$ を含む。この好適な実施形態においては、各予備行のグループは単独の行を含むが、上記で示されたように、その数はこの分野の技術に熟達した人によって増やすことができる。最後に、BANK0は行デコーダのカラム $103_0$ を含み、それは図示せざる、各行に対する別々のデコーダを含み、したがって、一次および予備行のそれぞれに対する別々のデコーダを含む。上記のように、データ・メモリ92の残りのバンクはBANK0と同じ方法で作られ、したがって、この分野の技術に熟達した人であれば、同様な参照番号（添字が異なっている）からそれらのバンクの各種のコンポーネントの関係も容易に理解することができる。

【0050】アドレス変換回路94は一般に上記の実施形態のいくつかと共通の態様を共有し、その中で、データ・メモリ92に対して意図されているアドレスを、そのオリジナル・アドレスが欠陥行に対するものであった場合に、オリジナル・アドレスから再マッピングされたアドレスに変換することができる。しかし、アドレス変換回路94の特徴および複雑性以外に、この共通の態様をより良く理解するために、データ・メモリ92のメモリ・バンクの構成を前提として、アドレス変換回路によって受け取られるようなアドレスの好ましいフォーマットを評価することがまず理解に役立つ。これに関して、図8bはそのようなアドレスのフォーマットを示している。次に図8bを参照して、示されているアドレスは32ビット信号であり、5つの部分を含むことに留意されたい。各部分は次の通りである。そのアドレスの第1の部分はバイト・オフセットであり、それはデータ・メモリBANKの1つの行の中のバイトの1つをアドレスすることができる。各行は64個のバイトを格納することを思い出されたい。したがって、この第1の部分は6ビット幅（すなわち、 $2^6 = 64$ バイト）である。そのアドレスの第2の部分はバンク識別（「i. d.」）である。データ・メモリ92は合計4個のバンクを含むことを思い出されたい。したがって、この第2の部分は2ビット幅（すなわち、 $2^2 = 4$ バンク）である。そのアドレスの第3の部分は、与えられたバンクに対して、そのアドレスがそのバンクの上部の半分に対応しているか、

あるいはその下部の半分に対応しているかを示す。したがって、その指示は2つの可能性のうちの1つだけであるので、この第3の部分は1ビット幅（すなわち、 $2^1 = 2$ 個の可能な半分）である。そのアドレスの第4の部分はライン・アドレスである。データ・メモリ92の各BANKの各半分は合計128個の一次行を含むこと、そしてそれらの行は4つの異なるウェイの中に分離されていることを思い出されたい。したがって、この第4の部分は5ビット幅（すなわち、 $2^5 = 32$ 行 \* 4ウェイ = 128行）である。そのアドレスの第5の部分はタグ・アドレスであり、それはそのアドレスの残りの17ビットを含む。このタグ・アドレスはデータ・メモリ92に対応しているタグ・メモリ（図示せず）をアドレスするため使われ、それは上記の好ましいタイミングに従って行なわれ、以下に説明されるようなアドレス変換回路94の動作と同じクロック・サイクルの間に実行することができる。さらに、この分野の技術において知られているように、そのタグ比較に応答してヒットが発生した場合、どの「ウェイ」がヒットしているかの指示がタグ・メモリから出力される。この例は4つの可能なウェイを含んでいるので、この指示は2ビット幅（すなわち、 $2^2 = 4$ ウェイ）となる。次の説明に対して、この指示はWAY [1:0]と略され、これは問題にしている特定のウェイを示している2ビットの信号を示す。最後に、次の説明に対して、アドレスのビットはADDR [x:y]の決まりによって示されることに留意されたい。これは図8bからのアドレスからのビットのグループを意味している。ここでxはそれらのビットのうちの最上位ビットであり、そしてyはそれらのビットのうちの最下位ビットである。たとえば、ADDR [7:6]はビット7およびビット6のアドレス・ビット（すなわち、バンクi. d.）に対応する。

【0051】アドレス変換回路94はビットWAY [1:0]以外に、ビットADDR [13:6]を含むアドレス入力記憶装置102を含む。アドレス入力記憶装置102の出力はアドレス出力記憶装置104の下位部分104aに接続されており、そしてその出力からのビットADDR [13:9]およびWAY [1:0]はコンパレータ106の第1の入力にも接続されている。コンパレータ106の第2の入力は欠陥行識別子ブロック108からの出力を受け取るように接続されている。欠陥行識別子ブロック108は8個までの欠陥行識別子 $108_{R1} \sim 108_{R8}$ を含み、そしてそれらの各識別子にはイネーブル・ビット $108_{EB1} \sim 108_{EB8}$ が対応している。各行識別子 $108_{R1} \sim 108_{R8}$ はヒューズなどによって表される7つのビットを含み、データ・メモリ92の中の欠陥行のアドレスを識別することが好ましい。より詳しく言えば、それぞれが別々にアドレス可能な上部および下部の半分を備えている4つのバンクの構成は一次行のグループの8つの異なる集合を発生するこ

とを思い出されたい。したがって、これらのバンクの半分のそれぞれに対して1つまでの欠陥行を8個の欠陥行識別子 $108_{R1} \sim 108_{R8}$ で表すことができる。さらに、欠陥行が識別されて行識別子 $108_{R1} \sim 108_{R8}$ の1つに符号化されると（たとえば、ヒューズを切ることによって）、対応しているイネーブル・ビット $108_{EB1} \sim 108_{EB8}$ はその対応している行識別子が1つの欠陥行を示していることを示すように構成される。最後に、コンパレータ106の出力はアドレス出力記憶装置104の上位部分104bに対してMATCH信号を提供するように接続されている。

【0052】図8aの回路の動作が以下に説明される。ここでふたたび読者は上記の例および実施形態について熟知していると仮定され、したがって、図5の方法50の段階と同等な段階が図8aに対して適用されることを容易に理解することができると仮定される。したがって、図8aの回路は方法50に一般的に従うが、1つのバンクの与えられた半分の中の一次行に対して向けられたオリジナル・アドレスを、そのオリジナル・アドレスが欠陥の一次行に対するものであることが判定されたとき同じバンクに対する1つの予備行に対して再マッピングされるようにするオプションが可能になっている。したがって、動作においては、第1のクロック・サイクルの間に、タグ・メモリがアドレスされ、そしてその同じクロック・サイクルの間に図に示されているアドレスおよびウェイの部分がレジスタ102の中にロードされる。さらに、これらのアドレスおよびウェイの部分は記憶装置104の下位部分104aにコピーされる。同じクロック・サイクルの間にビットADDR[8:6]が欠陥行識別子ブロック108に接続される。図8bから、これらのビットはバンクi.d.および問題としている行アドレスが識別されたバンクの上半分または下半分のいずれから来ているかの両方を示すことに留意されたい。応答において、欠陥行の識別子ブロック108は1つの欠陥行が以前にそのバンクのその半分の中で識別されていたと仮定して、アドレスされているそのバンクの半分の中の欠陥行のアドレスと一緒にイネーブル信号をコンパレータ44に対して出力する。次に、記憶装置102からのオリジナル・アドレスの部分が、その識別された欠陥行に対してコンパレータ106によって比較される。ふたたび、コンパレータ106がその比較される信号間にマッチを見つけた場合、コンパレータはMATCH信号を断定し、それによってアドレス出力記憶装置104の中の上位部分104bをセットする。結果として、コンパレータ106がマッチを見つけなかった場合（すなわち、対照としているバンクの半分に対して識別された欠陥行がなかったのでイネーブルされなかった場合）、MATCH信号は断定されず、そして出力記憶装置104の中のアドレスは実効的に不变のままになっている。上記から、そのとき下位部分と上位部分104

aおよび104bがデータ・メモリ92に接続されることを思い出されたい。結果として（そしてタグ・マッチを仮定して）それに続くクロック・サイクルにおいて、オリジナル・アドレスがその欠陥行をアドレスしないよう再マッピングされて、その識別されたバンクのアドレスされた半分に対する予備行をアドレスするようになるか、あるいは、一次行のグループのうちの1つの中の行の1つにアクセスするために、オリジナル・アドレスがそのまま接続されるかのいずれかとなる。

【0053】したがって、図8aおよび図8bについての上記の説明から、この分野の技術に熟達した人であれば、本実施形態は連想メモリおよびそれらのメモリのバンキングも含むことができる事が分かる。ふたたび、欠陥行を識別するためのヒューズなどの装置の個数は、予備行を活性化するために1つのアドレスをデコードするための追加のヒューズ以外に各一次行についてのヒューズを含んでいる従来技術で必要な数よりもはるかに少なくなる。さらに、そのヒューズの場所を集中化することができ、メモリ構造をより効率的な方法で構築することができる。さらに、図8aの実施形態はオリジナル・アドレスが正しく動作している行に対して向けられている場合において不变のままにされるか、あるいは欠陥行であると識別された行に対して向けられている場合には予備行に対して再マッピングすることができるよう、他のアドレッシング・フォーマットを修正できることをさらに示している。

【0054】図8aの実施形態は上記のような追加の機能および利点を提供するが、それは以下に説明されるタイミングの問題を発生させること、そしてそれがさらに追加の本発明の実施形態によって対処されることにさらに留意されたい。詳しく言えば、アドレス変換回路94はその入力の一部としてWAY[1:0]（すなわち、ウェイ・ビット）を受け取ることを思い出されたい。また、回路94のアドレス比較および変換の機能はそれらのウェイ・ビットが作り出されるのと同じクロック・サイクルの間に、すなわち、その対応しているタグ・メモリ（たとえば、図1のタグ・メモリ18）に関するアドレス比較と同じクロック・サイクルの間に行なわれるこれが好ましい。したがって、タグ・メモリの比較はそのウェイ・ビットを出力するので、アドレス変換回路94の比較動作は一見してそれらのビットを待たなければならない。このタイミングの問題に対する1つの方法は、タグ比較が発生するクロック周期を十分に長く取って、第1のイベントとして、ウェイ・ビットを出力し、そして次に、第2のイベントとして、アドレス比較を開始し、アドレス変換回路94が、与えられたアドレスに対して必要であれば、その変換を行うことができるようとする方法である。しかし、このイベント（すなわち、タグ比較）が完了した後、必要に応じて続く第2のイベント（すなわち、ウェイ・ビットを使ってアドレス変換の

ための比較を開始する)を必要とせずに、この問題に対処する追加の方法が以下に提供される。

【0055】アドレス変換回路94のアドレス比較に関するウェイ・ビットの上記タイミングの問題に対する第1の方法として、上記の図7の実施形態に部分的に似させるように図8aを変更することができることに留意されたい。特に、図7の実施形態によって行のブロックを欠陥ブロック識別子回路90によって識別することができ、到来するアドレスがその識別されたブロックの内部のどれかの行に対して向けられていた場合、そのアドレスが予備行のブロックに対して再マッピングされるようになることを思い出されたい。したがって、それと同様な方法で、図8aの実施形態を変更してBANKの上部または下部の半分の欠陥行の各指示がBANKの上部または下部の半分の中の4行の1つの欠陥ブロックを代わりに識別し、それらの4つの行が4つのウェイのそれぞれに対応しているようにすることができる。この例において、到来するアドレス(すなわち、ADDR[13:6])が受信されると、そのアドレスが4つのウェイのブロックの中の4つの行の1つの中に入るかどうかを判定するだけよい。したがって、ウェイ・ビットは欠陥ブロックの識別子に対して比較される必要はない。言い換えれば、図7の中のアドレス変換回路22の記憶装置42のように、図8aのアドレス変換回路94中の記憶装置102からの値に基づいて、比較のために必要なビット数は2個少なくなる。図8aに対するこの変更の例において、その比較から取り除かれる2つのビットはビットWAY[1:0]となる。したがって、この代替例においては、そのウェイ・ビットは比較のために不要なので、その変更されたアドレス変換回路94はADDR[13:6]のビットが受け取られるとすぐに、そしてそのウェイ・ビットを持つ必要なしに、直ちに比較を開始することができる。結果として、上記のタイミングの問題は解消される。

【0056】アドレス変換回路94のアドレス比較に関するウェイ・ビットのタイミングの問題に対する第2の方法として、ビットADDR[13:6]を使って欠陥ブロックの対応しているビットに対して予備的な比較を行い、そしてその後、ウェイ・ビットが利用できるようになったとき、ビットADDR[13:6]からの予備比較の結果を前提としてそれらを使うことができる。これに関して、図9は図8aのデータ・メモリ92との対話のために機能を実装するための他のアドレス変換回路94aの回路図を示している。図9と図8aの同等性

を示すために、同様なアイテムに対しては同様な参照番号が使われており、そして同等である回路94aの中のそれらの回路に対する参照番号に対して文字「a」が付加されているが、図8aの中の回路94のそれに対応する部分とは異なっていることに留意されたい。回路94aを参照すると、ここでもビットADDR[13:6]は入力されるが、ここでは入力記憶装置106に接続されており、それは図8aの記憶装置102が受け取っていたビットWAY[1:0]を受け取らない。記憶装置102aはビットADDR[13:9]をコンパレータ106aに対して出力し、ビットADDR[13:6]を出力記憶装置110の第2の部分110bに対して出力する。また、アドレス・ビット[8:6]はアドレス変換回路94aに対して入力され、そして図8aの中と同じ方法で欠陥行識別ブロック108に対して接続されている。ふたたび、欠陥行識別ブロック108は8個の行を備え、各行はここでは1つの欠陥行の7ビットのアドレスおよび対応しているイネーブル・ビットを格納するように動作し、その各欠陥行は図8aのデータ・メモリ92の中の複数のBANKのうちの異なるバンクの、異なる上部または下部の半分にある。

【0057】欠陥行識別子ブロック108の出力の接続に関して、それらは図8aの接続と異なっていることに留意されたい。詳しく言えば、図9においては、各欠陥アドレスの5つの最上位ビット(DA[6:2]として示されている)がコンパレータ106aに接続されている。しかし、各欠陥アドレスの2つの下位ビット(DA[1:0]として示されている)は2-4デコーダ112に接続されている。以下でより良く理解されるように、これらの2つの下位ビットDA[1:0]は、欠陥行識別子ブロック108によって識別された欠陥行が存在している4つのウェイのうちの1つを識別する。2-4デコーダ112はデコーディングの技術において知られているように動作する。すなわち、異なる各2ビット入力に対してユニークな4ビット出力を作り出す。さらに、その2ビットの入力は4つのウェイのうちの1つを識別するので、ユニークな各4ビットの出力は以下に示されるようにこれらのウェイのうちの1つに対応することにさらに留意されたい。残りの説明をし易くするために規約を設定するために、以下の表2が2-4デコーダ112に対する各2ビット入力に対応している4ビットの出力を示している。

【0058】

【表3】

入力 (DA [1 : 0])	出力
00 (ウェイ0)	0001
01 (ウェイ1)	0010
10 (ウェイ2)	0100
11 (ウェイ3)	1000

表2

【0059】2 - 4デコーダ112の4つの出力はそれぞれANDゲート114<sub>0</sub>、114<sub>1</sub>、114<sub>2</sub>、および114<sub>3</sub>の第1の入力に接続されている。首尾一貫性のために、これらのANDゲートのそれぞれの添字は、表2からDA [1 : 0] のビットによって識別される4つのウェイのうちの1つに対するANDゲートに関連していることに留意されたい。たとえば、ビットDA

[1 : 0] が00に等しい場合、それらはウェイ0を識別しており、ANDゲート114<sub>0</sub>がハイの入力を受け取る。別の例として、ビットDA [1 : 0] が11に等しい場合、それらはウェイ3を識別しており、ANDゲート114<sub>3</sub>がハイの入力を受け取る。ANDゲート114<sub>0</sub>、114<sub>1</sub>、114<sub>2</sub>、および114<sub>3</sub>のそれぞれの第2の入力は、コンパレータ106aによって出力されるMATCH信号に接続されている。上記の表2が与えられて、この分野の技術に熟達した人であれば、MATCHが断定されたハイ、4つのANDゲート114<sub>0</sub>、114<sub>1</sub>、114<sub>2</sub>、および114<sub>3</sub>のうちの1つがハイの信号を出力し、一方その残りのANDゲートは行の信号を出力することが分かる。もちろん、MATCHが断定されていない場合、4つのANDゲート114<sub>0</sub>、114<sub>1</sub>、114<sub>2</sub>、および114<sub>3</sub>の出力はすべてローのままになっている。これらの結果の出力の目的は、以下でより良く理解される。

【0060】また、アドレス変換回路94aは対応しているタグ・メモリから結果として4ウェイのそれぞれに対するHIT信号を入力として受け取る。したがって、図9の中ではこれらの信号はウェイ0～3に対してW0～W3が名前として付けられている。より詳しく言え

ば、到来するアドレスと記憶されているタグ・アドレスのうちの1つとの間のマッチをタグ・メモリが検出した場合、それは4つの信号W0～W3のうちの1つにHITを断定する。これらの各信号がANDゲート114<sub>0</sub>、114<sub>1</sub>、114<sub>2</sub>、および114<sub>3</sub>の第1の入力にそれぞれ接続されており、そしてふたたび、首尾一貫性のために、これらの各ANDゲートはそれが関連付けられているウェイに対するANDゲートに関連している。たとえば、ANDゲート114<sub>0</sub>はW0入力からHIT信号を受け取ることができ、ANDゲート114<sub>1</sub>はW1入力からHIT信号を受け取ることができ、以下同様である。ANDゲート114<sub>0</sub>、114<sub>1</sub>、114<sub>2</sub>、および114<sub>3</sub>のそれぞれの第2入力はANDゲート116<sub>0</sub>、116<sub>1</sub>、116<sub>2</sub>、および116<sub>3</sub>のそれぞれの出力に接続されている。

【0061】ANDゲート116<sub>0</sub>、116<sub>1</sub>、116<sub>2</sub>、および116<sub>3</sub>に接続する他に、ウェイのHIT信号を提供するための4つの入力は4 - 2エンコーダ118に対する入力としても接続されている。エンコーダ118は上記の2 - 4デコーダ112とは逆の方法で動作する。すなわち、それが4つのウェイのうちの1つのヒットを示している4ビットの信号を受け取った場合、それに応答してどのウェイがヒットしているかを符号化しているユニークな2ビットの信号を出力する。ふたたび、以下の説明のための決まりを設定するために、下の表3は4から2ビットへのエンコーダ118に対する各4ビットの入力とその結果の2ビットの出力を示している。

【0062】

【表4】

入力 W0 W1 W2 W3	出力
1 0 0 0	0 0
0 1 0 0	0 1
0 0 1 0	1 0
0 0 0 1	1 1

表3

【0063】エンコーダ118の2ビットの出力は出力記憶装置110の第1の部分110aに接続されている。

【0064】ANDゲート116<sub>0</sub>、116<sub>1</sub>、116<sub>2</sub>、および116<sub>3</sub>は4入力のORゲート120の入力に接続されている。ORゲート120の出力は出力記憶装置110の第3の部分110cに接続されている。したがって、この分野の技術に熟達した人であれば、ANDゲート116<sub>0</sub>、116<sub>1</sub>、116<sub>2</sub>、および116<sub>3</sub>のどれかがそれらの出力を断定した場合、ORゲート120もその出力を断定し、それによって出力記憶装置110の中のビットRを設定することが分かる。このビットRの設定によって、図8aの実施形態の場合のように、到来するアドレスがデータ・メモリ92の中の1つの予備行に対して再マッピングされることになる。

【0065】動作において、アドレス変換回路94aは図8aのデータ・メモリ92に対してアドレスを提供し、図8aのアドレス変換回路94のように、到来するアドレスが欠陥行として識別された行に対して向けられている場合はその到来したアドレスを再マッピングするか、あるいは到来したアドレスが欠陥行に対して向けられていなかった場合は、データ・メモリ92の中の一次行をそれがアドレスできるように実質的にその入って来たアドレスを変化させないかのいずれかが行なわれる。しかし、最初において、図9の実施形態が、アドレス変換動作と、データ・メモリ92に対応しているタグ・メモリの4ウェイのうちの1つの中にヒットがあったことの判定との間のタイミングの問題を緩和したこととも思い出されたい。このイントロダクションを前提として、アドレス変換回路94aの動作がふたたび開始され、到来するアドレスを受け取り、ビットADDR[13:6]が入力記憶装置102aに接続され、そしてビットADDR[8:6]が欠陥行識別子ブロック108に接続される。ADDR[13:6]に応答して、ビットADDR[13:9]がコンパレータ106aの1つの入力に接続され、そしてビットADDR[13:6]が出力記憶装置110の第2の部分110bに接続される。AD

DR[8:6]に応答して、欠陥行識別子ブロック108の1つの行がアドレスされる。到来したアドレスがその到来したアドレスによってアドレスされるBANKの半分の中の欠陥行を有しているメモリのBANKに対応している場合、欠陥行識別子ブロック108はイネーブル・ビットと一緒にコンパレータ106aの第2の入力に対してDA[6:2]を出力し、次の比較段階をイネーブルし、そしてまた、DA[1:0]を2-4デコーダ112に対して出力する。他方、到来したアドレスがその到来したアドレスによってアドレスされている半分の中の欠陥行のあるメモリのBANKに対応していなかった場合、欠陥行識別子ブロック108からは欠陥アドレスは出力されず、比較はイネーブルされない（たとえば、イネーブル・ビットに行を出力することによって）。したがって、究極的には入って来たアドレスが変えられることなしにデータ・メモリ92に対して出力される。しかし、回路94aの残りの動作を詳細に説明するために、到来したアドレスによって比較イネーブル・ビットおよび記憶された欠陥行のアドレスが出力されて、それによって以下に説明される追加の動作が発生すると仮定する。

【0066】識別子ブロック108によって出力される欠陥行のアドレスに応答して、2つの異なるアクションが発生する。1つのアクションとしては、DA[1:0]に応答して、2-4デコーダ112は上記の表2に従って4つのビットを出力する。現在の例の場合、DA[1:0]はウェイ1に対応すると仮定し、したがって、2-4デコーダ112はビット・シーケンス0010をANDゲート114<sub>3</sub>～114<sub>0</sub>に対してそれぞれ出力する。もう1つのアクションとして、DA[6:2]に応答して、コンパレータ106aがこれらのビットを入って来たアドレスからのビットANDゲート[13:9]と比較する。そのウェイ・ビットはまだ比較されていないので、コンパレータ106aによる比較は入って来たアドレスからの現在比較されているビットが4つの行（すなわち、4ウェイ）の1つが欠陥行である4つの行のブロックに対して向けられているかどうかを判定することに留意されたい。対応が見つかなかった場

合、ロー信号がANDゲート $114_3 \sim 114_0$ のそれに対するコンパレータ $106a$ から接続され、したがって、それらのANDゲートのそれぞれがロー信号を出力する。この場合、ANDゲート $116_3 \sim 116_0$ のそれぞれがORゲート $120$ に対してロー信号を必要に応じて出力し、ORゲート $120$ はそれに応答して出力記憶装置 $110$ の第3の部分 $110c$ の中のRビットをセットしない。したがって、以前の実施形態と同様に、最上位ビット（すなわち、ビットR）がセットされない場合、究極的に入って来たアドレスがデータ・メモリ $92$ に対して実質的に変えられることなしに出力され、その入って来たアドレスによってアドレスされるデータ・メモリ $92$ の中の一次行が、その変えられなかつたアドレスを使ってアクセスされる。他方、DA[6:2]とADDR[13:9]との間の対応が見つかった場合、MATCHが断定され、以下に説明されるような効果を生じる。

【0067】断定されたMATCH信号はANDゲート $114_3 \sim 114_0$ のそれぞれの第1入力に対して論理のハイを接続する。また、2-4デコーダ $112$ がその出力の1つにおいて論理の1を出力していたことを思い出されたい。したがって、このハイがANDゲート $114_3 \sim 114_0$ の第2の入力の1つに対して接続され、一方、他の3つのそれらのANDゲートのそれぞれがそのそれぞれの第2入力において論理の行を受け取る。現在の例においては、デコーダ $112$ からの論理のハイはウェイ1に対応することを思い出されたい。したがって、ANDゲート $114_1$ がその入力の両方において論理のハイを受け取り、一方、他の3つのANDゲート $114_0, 114_2, および 114_3$ のそれぞれが1つの入力において論理のハイ（すなわち、断定されたMATCH）を受け取り、別の入力において論理のローを受け取る。これらの入力信号に基づいて、ANDゲート $114_1$ はハイの信号を出力し、一方、 $114_0, 114_2, および 114_3$ の各ANDゲートはロー信号を出力する。ANDゲート $114_0 \sim 114_3$ からの各出力信号はそれぞれ対応しているANDゲート $116_0 \sim 116_3$ の1つの第1入力に対してさらに以下に説明されるように接続される。

【0068】上記を前提として、入って来たアドレスがブロック $108$ によってそれらの行のうちの1つが欠陥行であるとして識別される4つの行（それが異なるウェイに対応している）のグループに対して向けられた場合、ANDゲート $116_0 \sim 116_3$ のうちの1つに対する第1入力は論理のハイとなる。現在の例においては、この第1の入力はANDゲート $116_1$ に対する入力である。というのは、ウェイ1がビットDA[1:0]によって識別される欠陥行を有していて、デコーダ $112$ によってデコードされるからである。ここで、ウェイの各HIT信号は、ANDゲート $116_0 \sim$

$116_3$ のうちの対応している1つの第2入力にそれぞれ接続されていることを思い出されたい。したがって、HIT信号の値が利用できる必要があるのは、現在説明されている動作段階の中のこのポイントにおいてだけである。言い換れば、ANDゲート $116_0 \sim 116_3$ の動作に先行している段階はタグ・メモリが4つのウェイの1つに対応しているHIT信号の1つを発生しているのと同じときに実行される。結果として、上記の図8aの説明の後で説明されたタイミングの問題は、アドレス比較回路 $94a$ の動作を開始するためにはそのウェイ・ビットが不要であるということによって大幅に緩和される。これらのウェイ・ビットが利用できるとき、それはANDゲート $116_0 \sim 116_3$ によって論理ANDゲート $114_0 \sim 114_3$ からの結果と論理的にANDが取られる。入って来たアドレスが欠陥行として識別された行のある4つの行のグループに対して向けられていた場合、これらのANDゲートのうちの1つがハイになる。

【0069】論理ANDゲート $116_0 \sim 116_3$ のそれぞれの動作の結果によって、入って来たアドレスがブロック $108$ によって識別された欠陥行に対するものであったかどうかが最終的に判定される。詳しく言えば、最大でも論理ANDゲート $114_0 \sim 114_3$ の1つの出力だけがハイであることを思い出されたい。したがって、論理ANDゲート $116_0 \sim 116_3$ のどれかの出力がハイとなる場合、それは論理ANDゲート $114_0 \sim 114_3$ の1つからの1つのハイ出力と、そしてウェイW0～W3の1つに対応している断定されたHIT信号も両方共受け取らなければならない。したがって、この例を続けると、ANDゲート $114_0, 114_2, および 114_3$ のそれぞれの出力はローである。したがって、対応している論理ANDゲート $116_0, 116_2, および 116_3$ の出力もローである。しかし、論理ANDゲート $116_1$ に関しては、それが論理ANDゲート $114_1$ から受け取る論理のハイがW1のHIT入力とANDが取られる。したがって、W1のHITが断定された場合、すなわち、入って来たアドレスがウェイ1をアドレスしている場合、論理ANDゲート $116_1$ の出力もハイである。他方、入って来たアドレスがウェイ1をアドレスしていない場合、W1におけるHIT信号は断定されず、したがって、論理ANDゲート $116_1$ の出力はローである。

【0070】上記から、この分野の技術に熟達した人であれば、動作のこのポイントにおいて、論理ANDゲート $116_0 \sim 116_3$ のすべての出力がローであるか、あるいは最高でも、それらの出力のうちの1つがハイであることが分かる。この後者のイベントはその以前の各判定が肯定的であるとテストされた後、すなわち、入って来たアドレスがブロック $108$ によって識別された欠陥行に対して向けられていることが判定されたときに発

生する。また、これらの以前の肯定的な判定を前提として、論理ANDゲート $116_0 \sim 116_3$ のうちの1つから論理ハイの出力があり、そしてそれによって論理ORゲート $120$ の出力もハイになり、それによって出力記憶装置 $110$ の第3の部分 $110c$ の中のビットRがセットされる。反対に、この現在の例の中で入って来たアドレスに対して $W1$ 以外のウェイがアドレスされた場合の効果にも留意されたい。この場合、ANDゲート $116_1$ がその入力の1つにおいてANDゲート $114_1$ からハイを受け取っていたが、その入力の他のものは論理のローを受け取ることになる。したがって、ANDゲート $116_1$ の出力はローになり、ORゲート $120$ の出力がローになる。したがって、出力記憶装置 $110$ の中のビットRはセットされない。

【0071】 $W0 \sim W3$ のHIT信号に基づいた論理ANDゲート $116_0 \sim 116_3$ の動作の他に、これらの信号は例を示す方法によって表3に従って4-2エンコーダ $118$ によって符号化されることにも留意されたい。したがって、ウェイ1がアドレスされている現在の例においては、エンコーダ $118$ は $01$ の値を出力する。2ビットの符号化を完了すると、この出力値は出力記憶装置 $110$ の第1の部分 $110a$ に接続される。したがって、エンコーダ $118$ の出力は到來するアドレスの下位2ビットに対応する。

【0072】上記の各段階が実行されると、ふたたび出力記憶装置 $110$ の中の全体のアドレスがデータ・メモリ $92$ へ接続される。したがって、図8aの方法の場合と同じように、そのアドレスは適切なメモリのBANKの適切な半分に対する予備行のアドレスに対して再マッピングされたものである。また、図8aの方法の場合と同様に、ビットRがセットされない場合、そのアドレスは実効的に変えられておらず、そして適切なメモリのBANKの適切な半分の中の予備でない行をアドレスすることになる。

【0073】図9の実施形態によって提供される改善の理解を前提として、図10aおよび図10bは図9の各種の概念を実装している回路図を提供し、さらに追加の利点も提供する。図10aおよび図10bの構造の詳細を説明する前に、いくつかのインターフェクションのコメントが理解に役立つ。データ・メモリの中の行をアドレスするとき、Nビットのアドレスを受け取ってそれを $2^N$ 個の行にデコードするために各種のデコーディング技法が現れている。たとえば、256個の行が与えられた場合、1つの方法は各行に対して8個のアドレス・ビットのそれぞれが接続される必要のあるトランジスタ回路網を含めることである。ここでその回路網は各行において直列に接続された8個のトランジスタを必要とする。より効率的な代替案として、この分野の技術においては多数の行（たとえば、256）を備えている行のアレイに対して各行におけるデコーディングのレベルが増加す

るのを避けるために、与えられたレベルにおいて複数のデコーダを使うことができる事が知られている。したがって、256個の行の例を続けると、第1のレベルは3つのデコーダを含むことができ、最初のデコーダは2-4デコーダであり、そして第2および第3のデコーダは3から8へのデコーダである。したがって、その3つのデコーダを通過することによって、1つのアドレスが256個のロケーションのうちの1つに究極的には到着することができる。この複数のデコーダ技法を前提として、図10aおよび図10bの回路図は図9からの各種の概念を1つのそのようなデコーダの内部に含め、それによってその対応しているデータ・メモリ（たとえば、図1の中のデータ・メモリ $20$ ）以外にアドレス変換回路 $94a$ の両方に関してタイミングの問題をさらに改善できる方法をさらに示している。

【0074】図10aおよび図10bを参照すると、一般的に $122$ において示されている3から8へのデコーダが提供されている。デコーダ $122$ の上部を横断して、 $PD_0 \sim PD_7$ と名付けられている8個の出力があり、それらは1つの一次行に対応している。言い換れば、3ビットの信号を8個の可能性のうちの1つに対してデコードする際、1つの一次行がアドレスされるべき動作において、これらの8個の出力のうちの1つが断定される。しかし、さらに、デコーダ $122$ は $PD_{SP1}$ および $PD_{SP2}$ で表されている2つの予備行も含んでいる。以下に示されるように、1つの予備行がアドレスされるとき、一次行の出力の1つではなく、これらの予備行の出力のうちの1つまたは他の出力が断定される。さらに、デコーダ $122$ は3から8へのデコーダであるので、それを他のデコーダと組み合わせて合計で256個の行（あるいは何らかの他の8の倍数の行）をアドレスすることができる。

【0075】デコーダ $122$ をより詳細に眺めると、入力の状態の3つのレベルは $A0$ およびその補数/ $A0$ 、 $W0 \sim W3$ 、および $S0 \sim S3$ を含んでいる。以下にさらに明確になる理由のために、 $W0 \sim W3$ は図9からの信号と同じ名前の信号、すなわち、タグ・メモリから入ってくるHIT信号に対応している。また以下に説明される理由のために、 $S0 \sim S3$ は図9の論理ANDゲート $114_0 \sim 114_3$ の出力に対応し、したがって、現在入っているアドレスがその欠陥行を含んでいる行のブロックをアドレスしている場合に、その記憶された欠陥行の識別子によって識別されるウェイの指示を表す。最後に、 $A0$ およびその補数は単純に、対象としているいくつかの第3のアドレスを表す。現在の例の場合、 $A_0$ はADDR[8]に対応し、したがって、入っているアドレスが図8aのデータ・メモリ $92$ の中のBANKメモリの与えられた1つの上部半分または下部半分に向けられているかどうかを示す。したがって、出力 $PD_0 \sim PD_3$ を活性化してそれらのBANKメモ

リのうちの1つの上部半分をアドレスすることができ、一方、 $PD_4 \sim PD_7$  を活性化してそれらのBANKメモリのうちの1つの下部半分をアドレスすることができる。したがって、これに関して、 $PD_{SP1}$  は同様にそれらのBANKメモリの1つの上部半分に対する予備行をアドレスするために活性化され、一方、 $PD_{SP2}$  は同様にそれらのBANKメモリの1つの下部半分に対する予備行をアドレスするために活性化されることになる。

【0076】デコーダ122はダイナミック論理回路として構築されており、したがって、最初のフェーズにおいてプリチャージされてからその最初のフェーズに続く第2のフェーズの間に評価する（すなわち、条件によって放電する）。これに関して、各出力は1つの対応しているプリチャージ・ノードPNを備え、それは対応しているクロックされたプリチャージ・トランジスタPTによって $V_{DD}$ へチャージされ、そして対応しているインバータINVに接続される。その図を単純化するために、そのような各ノード、プリチャージ・トランジスタ、およびインバータはその対応している出力と同じ添字を使っている。各PNは3つのトランジスタに接続されている。それらのトランジスタはすべてが導通している場合、PNを放電用トランジスタDTに接続する。したがって、1つのDTはハイのクロック信号のために導通し、PNはPNをDTに接続している3つのトランジスタのそれぞれが導通している場合にグラウンドに接続される。

【0077】PNをDTに接続する3つのトランジスタのうちの上側の2つをユニークに識別するために、その2つのトランジスタのそれぞれがそのトランジスタに対する入力信号に対応している大文字と文字「T」とを組み合わせることによって、そしてまた、その直列の接続を経由してトランジスタが接続されている出力に対応している添字を含めることによって、その2つのトランジスタのそれぞれが示されている。さらに明確化するために、いくつかのトランジスタの名前はその識別子の上に水平のバーを付けて示され、その場合、そのトランジスタに対する信号入力は、その識別子の上に水平のバーを含んでいない別のトランジスタの補数である。これらの決まりを示すために、出力 $PD_0$ からDTへ追跡する次の例を考える。したがって、 $PD_0$  は同様な添字の付いたインバータ、すなわち、INV<sub>0</sub>を通じて接続されている。INV<sub>0</sub>に対する入力はこれらのトランジスタを経由してDTに接続することができる。これらのトランジスタのうちの最初のものが/TS<sub>0</sub>（入力はSであって、その入力の補数がそのトランジスタ TS<sub>0</sub> に対して使われている）である。これらのトランジスタのうちの第2のものはTW<sub>0</sub>（入力がWである）である。最後に、この第2のトランジスタはトランジスタ/T A 0に接続されている。トランジスタ/T A 0はその入力信号の識別子と「T」を組み合わせ、そしてトランジスタ

T A 0に対してその入力の補数が使われているので、同じ名前の上に水平のバーを含めることによって命名されている。

【0078】図10aおよび図10bの中で使われている識別子の決まりを紹介した後、一次行の出力はそれに対応している「W」および「A」の入力がハイである場合にハイになるが、対応している「S」入力は、一次行の入力に対する各放電径路の中のトランジスタのゲートに接続している「S」信号の補数であるのでローでなければならない。たとえば、プリチャージ・ノードPN<sub>3</sub>に関しては、それはトランジスタ/TS<sub>3</sub>を通じて、トランジスタTW<sub>3</sub>を通じて、そしてトランジスタ/T A 0を通じて、トランジスタDTに対して接続することができる。したがって、DTも導通している場合、TN<sub>3</sub>はグラウンドに対して放電される。したがって、逆に、2つの予備行の出力のいずれかがハイになるためには、ふたたびそれの対応している「W」および「A」の入力が、対応している「S」入力がハイでなければならぬのと同様に、ハイでなければならない。たとえば、プリチャージ・ノードPN<sub>S P 1</sub>に関して、それはトランジスタDTに対してハイのSおよびWの対応している信号が入力されている一対のトランジスタのどれかを通じて導通する可能性がある。したがって、DTも導通している場合、PN<sub>S P 1</sub>はグラウンドに対して放電される。

【0079】デコーダ122の動作は次の通りであり、以下の説明は以前の実施形態についての理解を仮定している。プリチャージ・フェーズの間、図10aおよび10bに示されているCLOCK信号はローであり、したがって、示されている10個のPNのそれぞれが論理のハイ信号（すなわち、 $V_{DD}$ ）に対してプリチャージする。結果として、図10aおよび10bの上部を横断している10個の各出力が論理のローとなる。評価フェーズの間に、CLOCK信号はハイに遷移し、それによって各PNを $V_{DD}$ から切り離し、その間DTも導通させている。この点において、デコーダ122へ与えられた入力信号に対応して、PNのうちの1つだけが放電する。この動作をよりよく示すために、2つの例を仮定する。その第1の例は欠陥行を含んでいる行のブロックの内部にない行をアドレスする例であり、第2の例は予備行をアドレスする。それぞれが以下に詳細に説明される。

【0080】デコーダ122の最初の動作例の場合、一次行（予備行ではなく）がアドレスされる。したがって、プリチャージ・フェーズの間の入力の次の特性に留意されたい。第1に、4つのウェイ・ビットW<sub>0</sub>～W<sub>3</sub>のうちの1つが断定されるのと同時に、A<sub>0</sub>またはその補数のいずれかが断定される。第2に、そのアドレスされている行は欠陥行を含んでいる行のブロックの中にはないので、MATCHは図9においては断定されない。結果として、S<sub>0</sub>～S<sub>3</sub>の各値（すなわち、ANDゲート $114_0 \sim 114_3$ の各出力）は行である。したがつ

て、図10aおよび10bにおいて、 $\text{TS}_0 \sim \text{TS}_7$  の各トランジスタが導通する。上記を前提として、A0がハイであって、ウェイ1が入力アドレスによってアドレスされている（すなわち、W1がハイであって、一方W0、W2およびW3が行である）例を仮定する。結果として、評価フェーズの間に、次の4つのトランジスタ、すなわち、(1) DT；(2) TA0；(3) TW<sub>5</sub>；および(4)  $\text{TS}_5$  が導通する。したがって、応答において、PN<sub>5</sub> が放電し、そして出力PD<sub>5</sub> はデコーダ122の残りの出力がローにとどまっている間にローからハイへ遷移する。したがって、この出力を次に直接使って、あるいは他のデコーダの動作と組み合わせて、データ・メモリ92の中の適切な一次行を活性化することができる。

【0081】デコーダ122の第2の動作例の場合、欠陥行がアドレスされる。したがって、プリチャージ・フェーズの間の入力の次の特性に留意されたい。まず最初に、4つのウェイ・ビットW0～W3のうちの1つが断定されるのと同時に、A0またはその補数のいずれかが断定される。第2に、アドレスされている行が欠陥行を含んでいる行のブロックの内部にあるので、MATCHが図9の中で断定される。結果として、S0～S3のうちの1つがハイで、S0～S3の他の3つが行である。したがって、図10aおよび10bにおいて、8個のトランジスタTS<sub>0</sub>～TS<sub>7</sub> のうちの2つが導通する。上記を前提として、 $\text{A}0$ がハイ、ウェイ2が到来しているアドレスによってアドレスされていて、記憶されている欠陥行のアドレスは、その欠陥行がウェイ2である（すなわち、S2がハイである）ことも同様に示していくことを仮定する。結果として、評価フェーズの間に次の4つのトランジスタ、すなわち、(1) DT；(2)  $\text{TA}0$ ；(3) TW<sub>2</sub>；および(4) TS<sub>2</sub> が導通する。したがって、応答においては、PN<sub>SP1</sub> が放電し、出力PD<sub>SP1</sub> はデコーダ122の残りの出力が行にとどまっている間に行からハイへ遷移する。したがって、次にこの出力を直接に、あるいは他のデコーダの動作と組み合わせて使ってデータ・メモリ92の中の適切な予備行を活性化することができる。さらに、上記の直前の例はウェイHIT（すなわち、W2）がその記憶されている欠陥のウェイ（すなわち、S2が断定されている）にマッチしていることを仮定している。しかし、その動作をさらに詳しく説明するために、上記と同じ信号を仮定するが、さらに入って来ているアドレスがウェイ3に対するウェイHIT（すなわち、W3が断定されている）を生じ、一方、欠陥の識別された行がふたたびウェイ2の中にある（すなわち、S2が断定されている）と仮定する。したがって、この場合、予備行以外の一次行がアドレスされるべきである。この目的に向かって、そしてこれらの入力信号を前提として、ふたたび断定されているS2が予備行をアドレスするために接続されているT

S<sub>2</sub>（およびTS<sub>6</sub>）を導通させる。しかし、W2が断定されていない（代わりに、W3が断定されている）ので、そのときはTW<sub>2</sub> は導通せず、したがって、PN<sub>SP1</sub> とグラウンドとの間には放電経路は生じない。したがって、PD<sub>SP1</sub> の出力は行のままになっている。代わりにS2およびW3が断定されていることをふたたび前提として、出力PD<sub>3</sub> からグラウンドへの放電経路が生成される。というのは、次のトランジスタ、すなわち、(1) DT；(2)  $\text{TA}0$ ；(3) TW<sub>3</sub>；および(4)  $\text{TS}_3$  が導通しているからである。したがって、この例では、次にPD<sub>3</sub> の出力が直接的に、あるいは他のデコーダの動作と組み合わせて使われ、データ・メモリ92の中の適切な一次行を活性化する。

【0082】デコーダ122の利点の最終のデモンストレーションとして、図11は対照的な従来技術の3-8デコーダ124を示している。この分野の技術に熟達した人によって理解されるように、デコーダ124に対する3つの入力は信号A、B、およびCである。したがって、これらの入力信号の組合せに基づいて、DTがインペーブルされていると、8個の出力PD<sub>0</sub>～PD<sub>7</sub> のうちの1つが断定される。言い換れば、放電時に、プリチャージ・ノードPN<sub>0</sub>～PN<sub>7</sub> のうちの1つが放電され、そしてその放電されたノードが対応しているインバータINV<sub>1</sub>～INV<sub>7</sub> の1つによってインバートされ、それによって対応している出力が行からハイへ遷移する。この動作を前提として、任意の有効な出力に対する放電経路の長さは4トランジスタであり、すなわち、放電は4つのトランジスタを含む直列接続経路の導通に応答してのみ発生する。

【0083】図11に従来技術のデコーダ124が示されているが、ここで図10aおよび図10bの本発明のデコーダ122の放電経路も4つのトランジスタを含む直列接続を必要とすること、したがって、本発明の実施形態のデコーダ122は従来技術のデコーダ124とほぼ同じ遅延時間で動作することに留意されたい。この同等程度のスピードはデコーダ122が予備行を潜在的に活性化する追加の機能を提供しながら達成されることに留意されたい。言い換れば、アドレスをデコードして適切なワード・ラインを活性化するための好適な実施形態のデコーダ122の遅延時間は、上記の行の冗長性機能を実装することによってはそれほど増加しない。最後に、予備デコーダのノード（すなわち、PD<sub>SP1</sub> またはPD<sub>SP2</sub> のいずれか）を放電するためのデコーダ122の動作のタイミングに関して、それらの予備行のノードのそれぞれの接続は4個までのNチャネル・トランジスタであり、一方、デコーダ124の各プリチャージ・ノードは単独のNチャネル・トランジスタだけに接続することに留意されたい。したがって、前者はこの余分のダイオード容量のために、遅延時間が僅かに長くなる可能性がある。しかし、この遅延時間はそれ以降の予備行の

デコーダ（予備でない行のデコーダではなく）の高速応答のために十分相殺される。というのは、以前に説明されたように、予備行のデコーダは予備でない行のデコーダに比べて評価のための合計ビット数が少なくて済むからである。

【0084】上記から、上記の例はメモリの行の冗長性を改善するための各種の代替方法を提供することが理解できる。上記から多くの利点が示され、あるいは明らかになっている。さらに、上記の例はメモリの行から情報を読み出すために、そのメモリ行をアドレスすることに関連して説明されているが、この分野の技術に熟達した人によって確認されるように、僅かな変更で、その行に対して情報を書き込む目的のためのメモリ行のアドレッシングにも上記と同じ多くの実施形態および原理が等しく提供されることに留意されたい。したがって、この代替例も明らかに本発明の適用範囲内にある。したがって、本発明の実施形態が詳細に示され、また各種の置換え、修正、または変更も提示されてきたが、さらに細かい変形を、本発明の適用範囲から離れることなしに、上記の記述に対して行うことができる。

【0085】<2. メモリ・カラムの冗長性>上記の背景の中で述べられているように、メモリの中のカラムの冗長性を実装するために従来技術においてはヒューズが使われている。それに関して次の発明の実施形態に対するさらに追加のイントロダクションとして、図12は一般的に300で表されている従来の技術のメモリ構成を示している。構成300は従来技術で知られている各種の技法に従って構築できるメモリ行のグループを含めるための行アレイ302を含む。したがって、動作において、そのメモリ行の1つがその行をアクセスするために活性化され、そしてその活性化された行からの情報が一連のメモリ・カラムに沿って出力される。さらに、そのメモリ・カラムはそのメモリの内部に含まれているセンス・アンプからのカラム・ビット出力を単に表現しているに過ぎないことに留意されたい。実際には、メモリはいくつかの複数のカラム出力ビットである多数の物理的カラムを含むことが多い。たとえば、256個の物理的カラムを備えたメモリはそれらの物理的カラムをマルチプレクサによって接続し、それらの256個の物理的カラム上の64ビットだけが一度にセンス・アンプによって出力されるようにすることができる。もちろん、その他の例も従来技術によって知られている。いずれの場合でも、このドキュメントの目的のために、メモリ・カラムという用語はそのメモリの実際の物理的カラムに対応する意味でのメモリからのいくつかのビットの出力を表現しており、ここでそれらの物理的カラムは普通はそれらのビットを出力するためのセンス・アンプに接続されている。この背景を前提として、図12の例においては、C<sub>0</sub>～C<sub>4</sub>で表されている合計5個のそのようなメモリ・カラムがある。実際には、メモリ・カラムの実際

の数は5より大幅に大きい（たとえば、257、513、あるいはそれ以上の）可能性があるが、図および説明を単純化するために、現在の例においては5個だけが含まれている。以下により良く理解されるように、動作においてこれらのメモリ・カラムの1つを除くすべてからのディジタル信号が、その後、構成300から出力され、その1つのメモリ・カラムは欠陥カラムであるので、普通は情報が出力されない（あるいは、何らかの他の理由のために出力から除外される）カラムである。

【0086】構成300からのディジタル情報出力はメモリのカラム数より1だけ少ない一連の出力カラム番号に沿って提供され、OC<sub>0</sub>～OC<sub>3</sub>で表されている。各出力カラムは対応している2入力のマルチプレクサM<sub>1</sub>～M<sub>4</sub>の出力に接続されている。M<sub>1</sub>～M<sub>4</sub>の各マルチプレクサの2つの入力は、マルチプレクサM<sub>1</sub>の入力に接続されている連続したメモリ・カラムC<sub>0</sub>およびC<sub>1</sub>の最初のペアから始まる連続したメモリ・カラムのペアに接続されており、それぞれ昇順の番号が付けられたマルチプレクサが次々のメモリ・カラムのペアに接続され、その連続したメモリ・カラムのペアはそのメモリ・カラムの先行するペアの、より高い順序番号の出力カラムを共有する。たとえば、マルチプレクサM<sub>1</sub>の後の昇順のマルチプレクサはM<sub>2</sub>であり、そしてM<sub>2</sub>の入力はメモリのカラムC<sub>1</sub>およびC<sub>2</sub>へ接続されている（C<sub>1</sub>およびC<sub>0</sub>のカラム・ペアのうちC<sub>1</sub>の方が上位の先行するペアである）。この分野の技術に熟達した人であれば、この接続パターンはマルチプレクサM<sub>4</sub>にまで継続し、マルチプレクサM<sub>4</sub>の入力がメモリ・カラムC<sub>3</sub>およびC<sub>4</sub>に接続されることが分かる。最後に、M<sub>1</sub>～M<sub>4</sub>の各マルチプレクサの動作についての以下の説明をし易くするために、各マルチプレクサの図の中に「0」と「1」が示され、それによってそのマルチプレクサの制御入力が論理のハイ（すなわち、論理1）の場合、そのマルチプレクサが図中の「1」の側の入力を選択し、一方、そのマルチプレクサの制御入力が論理のロー（すなわち、論理0）の場合は、マルチプレクサは図の中で「0」の側の入力を選択することを表すことが意図されている。たとえば、マルチプレクサM<sub>1</sub>の制御入力に論理0が加わると、それはメモリ・カラムC<sub>0</sub>から入力を選択し、したがって、その入力からの信号を出力カラムOC<sub>0</sub>へ出力する。

【0087】構成300はカラムの冗長性を実装するためにヒューズによる追加の接続を含む。これらのヒューズはレーザのコンフィギュレーション・ヒューズまたはそれと同様なヒューズであることが好ましく、アレイ302およびその出力カラムがテストされた後、以下に詳細に説明されるように欠陥カラムを分離するようにこれらのヒューズを構成することができる。そのヒューズを見ると、構成300はマルチプレクサM<sub>1</sub>の制御入力とグラウンドとの間に接続されている第1のヒューズF<sub>1</sub>

を含む。ヒューズF<sub>1</sub>の後に、連続した各マルチプレクサの制御入力の間に追加のヒューズが接続されている。たとえば、ヒューズF<sub>2</sub>はマルチプレクサM<sub>1</sub>の制御入力とマルチプレクサM<sub>2</sub>の制御入力との間に接続されている。また、このパターンはマルチプレクサM<sub>3</sub>の制御入力とマルチプレクサM<sub>4</sub>の制御入力との間に接続されているヒューズF<sub>4</sub>まで継続する。さらに、追加のもう1つのヒューズF<sub>5</sub>がマルチプレクサM<sub>4</sub>の制御入力と或る電圧源(図12においてV<sub>DD</sub>として示されている)に接続されている抵抗器Rとの間に接続されている。最後に、抵抗器Rが図12の中に示されているが、ヒューズF<sub>1</sub>～F<sub>5</sub>の1つが切断される前、あるいはヒューズF<sub>1</sub>～F<sub>5</sub>のどれもが切断される必要がないと判定された場合のいずれかにおいて静的な電力を消費するのを避けるために、普通はさらに複雑な回路が実装されることに留意されたい。いずれにしても、抵抗の機能は次の説明に特に密接に関係しているわけではなく、したがって、図12の中の単独の抵抗器として単純化されている。

【0088】カラムの冗長性におけるコンテキストにおける構成300の動作は次の通りである。まず最初に、構成300が構築された後、出力カラムOC<sub>0</sub>～OC<sub>3</sub>からアクセス可能な各メモリ・カラムが、既知の技法を使ってテストされ、それらのメモリ・カラムのうちのどれか1つが元々意図されているような情報を転送することができないかどうかを判定する。以下のさらに明確な目的のために、メモリ・カラムC<sub>4</sub>は冗長性のカラムであり、それによってメモリ・カラムOC<sub>0</sub>～OC<sub>3</sub>がこれに関してテストされるようにしている。第2に、テストされるメモリ・カラムの1つが欠陥カラムであると判定された場合、ヒューズの1つが切断され(すなわち、構成され)そのメモリ・カラムの1つをその情報を対応している出力カラムOC<sub>0</sub>～OC<sub>3</sub>の1つに接続しないよう除外するか、あるいはそれが欠けているものとする。この段階をより良く理解するために、まず最初にメモリ

・カラムC<sub>0</sub>～C<sub>3</sub>のうちの1つが欠陥カラムであると判定された場合の例を考える。応答において、その欠陥のメモリ・カラムに入力が接続されている各マルチプレクサがその出力を欠陥カラムでないメモリ・カラムに接続されている入力に対して接続するように、1つのヒューズが切断される。たとえば、テストの後、メモリ・カラムC<sub>1</sub>が欠陥カラムであることが分かったと仮定する。したがって、C<sub>1</sub>からの構成300の外部接続に対する電気的な通信を除外するために、ヒューズF<sub>2</sub>がディスエーブルされる。応答において、マルチプレクサM<sub>2</sub>はヒューズF<sub>3</sub>、F<sub>4</sub>、およびV<sub>DD</sub>に対する抵抗器Rを経由しているその接続のために、その制御入力に論理のハイ信号を受け取ることに留意されたい。結果として、マルチプレクサM<sub>2</sub>はメモリ・カラムC<sub>2</sub>を選択し、それを出力カラムOC<sub>1</sub>に接続する。同様に、マルチプレクサM<sub>1</sub>はそのF<sub>1</sub>を通じてのグラウンドへの接続のために、その制御入力に論理のロー信号を受け取ることに留意されたい。結果として、マルチプレクサM<sub>1</sub>はメモリ・カラムC<sub>0</sub>を選択してそれを出力カラムOC<sub>0</sub>に対して出力する。結果として、メモリ・カラムC<sub>1</sub>は2つのマルチプレクサM<sub>1</sub>およびM<sub>2</sub>を経由する通信から除外され、そしてその信号は、何かあった場合でも、構成300に対する外部接続には到達しない。

【0089】上記を前提として、この分野の技術に熟達した人であれば、図12全体を通して他の例をたどり、F<sub>1</sub>～F<sub>5</sub>のうちの1つを切断することによって1つのメモリ・カラムが除外されることを識別することができる。そのような各ヒューズの上記の切断を詳細に説明する代わりに、ヒューズの切断のバリエーションとそれに応じてどのようなアクションの結果として除外される対応しているメモリ・カラムが以下表4に示されている。最後に、表4はどのヒューズも切断されなかつた場合の結果を最後の行に示している。

【0090】

【表5】

切断されるヒューズ	除外されるメモリ・カラム
1	C <sub>0</sub>
2	C <sub>1</sub>
3	C <sub>2</sub>
4	C <sub>3</sub>
5	C <sub>4</sub>
なし	C <sub>4</sub>

表4

【0091】表4の最後のカラムは、どのヒューズも切断されない場合に、メモリ・カラムC<sub>4</sub>が除外されることを示している。というのは、各マルチプレクサM<sub>1</sub>～M<sub>4</sub>の制御入力が論理ローを受け取るからである。したがって、欠陥カラムに対するテストを行なう前には、ヒューズはどれも切断されておらず、メモリ・カラムC<sub>0</sub>～C<sub>3</sub>はそれぞれOC<sub>0</sub>～OC<sub>3</sub>の1つに接続されていることに留意されたい。したがって、メモリ・カラムC<sub>4</sub>は冗長のカラムであり、上記のように初期テストの後で冗長でないメモリ・カラムのうちの1つが欠陥カラムであることが分かった場合に使うことができるカラムである。

【0092】また、上記の構成はテストの段階において1つまたはそれ以下の欠陥カラムが識別される場合にのみ使えることに留意されたい。詳しく言えば、2つ以上のカラムが欠陥カラムであるとして識別された場合、構成300そのものでは不十分である。というのは、構成300の外部接続に達するのを除外できるカラムは1つだけだからである。さらに、テストによって、C<sub>1</sub>～C<sub>5</sub>のメモリ・カラムのどれもが欠陥カラムでないと判定された場合において、構成300はそれらの5つのカラムのうちの4つだけの情報を出力することに留意されたい。この例では、ヒューズはどれも切断されず、その場合はC<sub>4</sub>が除外される。そもそもなければ、メモリ・カラムのうちのどれかを除外されるべきメモリ・カラムとして選択されるようにすることが考えられる。この例では、ふたたび表4がその選定されたメモリ・カラムを除外するように適切なヒューズを構成することを示している。

【0093】上記を前提として、図12の従来技術の構成300は各種の利点を提供する。それはその構成を含んでいるシステムに対して誤った情報を出力することを避けるために、少なくとも1つの欠陥カラムを除外することができる。しかし、本発明の発明者はその各種の欠点も認識している。たとえば、構成300によって識別

されるヒューズの数は出力カラムの数より1だけ大きい。この数値は図12の例においてはらに過ぎないが、出力カラムが数百にも及ぶもっと普通の例においては、同様に数百個のヒューズを必要とすることになる。別の例として、ヒューズは普通は図12の中の回路図の形式で示されているように物理的に並べられていて、したがって、構成300のカラムおよび他の構造に対して相対的に多くの空間が必要となる。この分野の技術に熟達した人によって確認できる他の欠点以外に、これらの欠点の観点から、本発明の発明者はこれらの欠点を改善し、追加の利点も提供する各種の本発明の実施形態を以下に提供する。

【0094】図13は一般的に304において示されているメモリ構成の最初の発明の実施形態の電気的な図を示している。構成304はある意味において上記の図12に示されている構成と同じであり、したがって、共通のエレメントが使われている場所では図12からの共通の参照番号が付けられている。簡単にそれらの共通のエレメントを挙げれば、構成304はC<sub>0</sub>～C<sub>4</sub>で表されている一連のメモリ・カラムに沿って、活性化されたときに情報を通信する任意の数の行を備えている行アレイ302を含むことに留意されたい。ふたたび、行の数および／またはカラムの数の両方が特定の実施形態においては変わる可能性があり、カラムに関しては、図を单纯化するために、そして上記の従来技術との各種の対照を表すために、現在の例においては5つだけが含まれれている。ふたたび、これらのメモリ・カラムの動作において、除外されるメモリ・カラム以外のすべてのメモリ・カラムからのディジタル情報が究極的に構成304から出力され、その除外されているメモリ・カラムについてはその情報は出力されず、それは欠陥のメモリ・カラムであるのが普通である。また、図12と同様に、図13の構成304はメモリ・カラムの数より1だけ少ない数で、OC<sub>0</sub>～OC<sub>3</sub>として表されている一連の出力カラムに沿って1つのカラムを除くすべてのカラムの出力を

出力する。最後に、図12の方法で、図13の中の各出力カラムは対応している2入力のマルチプレクサM<sub>1</sub>～M<sub>4</sub>の出力に接続され、M<sub>1</sub>～M<sub>4</sub>の各マルチプレクサがの2つの入力は連続したメモリ・カラムのペアに接続され、連続したメモリ・カラムC<sub>0</sub>およびC<sub>1</sub>の最初のペアがマルチプレクサM<sub>1</sub>の入力に接続され、そして各昇順の番号のマルチプレクサが連続した次のペアのカラムに接続されている。ここでこの昇順の次のペアはそれに先行しているカラム・ペアのより高い順序番号の出力カラムを共有する。

【0095】構成304の従来技術に対する共通点を指摘した上で、従来技術に対して対照的な図13の本発明の実施形態の特徴を以下に説明する。詳しく言えば、図13の中のM<sub>1</sub>～M<sub>4</sub>の各マルチプレクサがの制御入力は上記のように対応しているヒューズのペアの間には接続されていない。それと対照的に、M<sub>1</sub>～M<sub>4</sub>の各マルチプレクサがの制御入力は代わりに温度計デコーダ回路306の出力に接続されている。温度計デコーダ回路306は、以下により明確になる理由のために、そのように名付けられている。温度計デコーダ306の入力は欠陥カラム識別子エンコーダ308の出力に接続されている。このエンコーダは以下に詳細に説明されるように、カラムC<sub>0</sub>～C<sub>4</sub>の中のカラムのどれか1つが欠陥カラムであると分かった場合に、その欠陥カラムの識別子を格納する。代わりに、欠陥カラム識別子エンコーダ308はこれも以下に説明されるように、特定のコードを出力することによって、どのメモリ・カラムも欠陥カラムでないことの指示を提供することができる。好適な実施形態においては、識別子エンコーダ308の中の欠陥カラムの符号化は一連の二値状態を出力するためにヒューズを使って設定される。ふたたび、それは既知の技法を使ってこれらのヒューズを構成することによって行なわ

$$\text{出力ビット数} = f_{\text{CEILING}} \{ 1 \circ g_2 \}$$

但し、Nは行アレイ302からの出力カラムの個数であり、したがって、N+1はメモリ・カラムの個数である。そして、f<sub>CEILING</sub>は1°g<sub>2</sub>(N+1)の値が整数であればその値を取り、あるいはその1°g<sub>2</sub>(N+1)の値が整数でない場合は、その次の大きい整数値にその値を丸める関数である。

【0098】したがって、現在の例においては、エンコーダ308の中の欠陥カラムの識別は3ビット(すなわち、

れる。しかし、以下でより明確になる理由のために、欠陥カラム識別子エンコーダ308は上記の図12の従来技術の実施形態で必要となるヒューズの個数に比べて、欠陥カラムを除外するためのヒューズの個数がはるかに少なくて済む。最後に、温度計デコーダ回路306はその機能に関して後で説明されることを前提として、この分野の技術に熟達した人であれば、構築することができる。

【0096】構成304の動作は次の通りである。格納されているデータを読み出すために行アレイ302がアクセスされるとき、その中の行の1つが活性化され、カラムC<sub>0</sub>～C<sub>4</sub>のそれぞれに対して情報を通信するために接続される。次に、M<sub>1</sub>～M<sub>4</sub>の各マルチプレクサが温度計デコーダ回路306によって制御され、カラムC<sub>0</sub>～C<sub>4</sub>のうちの1つがそのデータ(もしあれば)を出力しないように除外される。言い換えれば、それらの5つのカラムのうちの4つだけがデータをカラムO C<sub>0</sub>～O C<sub>3</sub>に対して出力するために通信する。さらに詳しく言えば、この制御を提供するために、温度計デコーダ回路306は以下に詳細に説明されるようにエンコーダ308の中の欠陥カラムに基づいて、M<sub>1</sub>～M<sub>4</sub>の各マルチプレクサに対して制御ビットを提供する。その説明に入る前に、エンコーダ308の中の欠陥カラムの識別についていくつかのビットが温度計デコーダ回路306に対して出力され、そこでそれらのビットはメモリ・カラムC<sub>0</sub>～C<sub>4</sub>の中に欠陥カラムがあれば、それがどのカラムであるかを示す。以下でより明確になる理由のために、エンコーダ308の中の欠陥カラムの識別は次の式1によって定義されるビット数の出力だけを定義すればよい。

【0097】

【数1】

$$(N+1) \quad \text{式1}$$

【数2】  $f_{\text{CEILING}} \{ \text{INT}(1 \circ g_2 (4+1)) = f_{\text{CEILING}} \{ 2.23 \} = 3 \}$   
を出力する。

【0099】欠陥カラム識別子エンコーダ308の出力ビット数が与えられて、各マルチプレクサを制御するための温度計デコーダ回路306によって提供される出力が次の表5に示されている。

【0100】

【表6】

識別された欠陥カラムおよびその符号化	温度計デコーダからのM <sub>4</sub> 制御ビット	温度計デコーダからのM <sub>3</sub> 制御ビット	温度計デコーダからのM <sub>2</sub> 制御ビット	温度計デコーダからのM <sub>1</sub> 制御ビット
C <sub>0</sub> (0 0 0)	1	1	1	1
C <sub>1</sub> (0 0 1)	1	1	1	0
C <sub>2</sub> (0 1 0)	1	1	0	0
C <sub>3</sub> (0 1 1)	1	0	0	0
C <sub>4</sub> (1 0 0)	0	0	0	0

表5

【0101】表5が与えられて、最初のカラムの中の表5からの3つの符号化ビットは実際には合計8種類の可能なシーケンス（すなわち、 $2^3 = 8$ シーケンス）を発生することに留意されたい。しかし、それらの8種類の可能なシーケンスのうちの5個だけが必要であり、したがって、他の3つのシーケンスは無関係である。

【0102】表5に示されているマルチプレクサの制御信号にアクセスすることによって、この分野の技術に熟達した人であれば、それらの制御信号によって、欠陥カラム識別子エンコーダ308が識別した欠陥カラムが出力カラムO C<sub>0</sub>～O C<sub>3</sub>との通信からどのように除外されるかを理解することができる。たとえば、行アレイ302が製造された後の或る種の既知のテストによって、メモリ・カラムC<sub>1</sub>が欠陥カラムであると判定された場合を考える。したがって、表5の第2行（上からの）はそのような場合におけるメモリ構成304のセットアップおよび動作を示している。このセットアップおよび動作を詳細に調べることによって、まず最初に、欠陥カラム識別子エンコーダ308がメモリ・カラムC<sub>1</sub>を識別するユニークなビット・シーケンス（たとえば、001）を出力することによって、メモリ・カラムC<sub>1</sub>が欠陥カラムであることを示す。応答において、温度計デコーダ回路306が対応しているマルチプレクサM<sub>4</sub>～M<sub>1</sub>に対して表5の第2行に示されているビット列を出力する。図13に戻って、マルチプレクサM<sub>4</sub>、M<sub>3</sub>、およびM<sub>2</sub>のそれぞれがその制御入力において論理1を受け取っているとき、それは図13に示されているように、そのマルチプレクサの左側へ向かう入力を選択する。それによって、この例においては、メモリ・カラムC<sub>4</sub>～C<sub>2</sub>が出力カラムO C<sub>3</sub>～O C<sub>1</sub>とそれぞれ通信することに留意されたい。しかし、マルチプレクサM<sub>1</sub>はその制御入力に論理0を受け取り、したがって、それは図13に描かれているようにそのマルチプレクサの右側へ向かう入力を選択する。したがって、M<sub>1</sub>はメモリ・カラムC<sub>0</sub>が出力カラムO C<sub>0</sub>と通信するようになる。この4つのマルチプレクサの動作によって、メモリ・カラムC<sub>1</sub>はメモリ構成304から出力として除外される。最後に、上記の信号は例を示す方法によるものであり、こ

の分野の技術に熟達した人には理解されるように、コンプリメンタリ信号および補数された制御信号をマルチプレクサM<sub>1</sub>～M<sub>4</sub>において使うことによって、同じ機能を実現することができる。

【0103】すぐ前の例および上記の説明が与えられて、この分野の技術に熟達した人であれば、メモリ・カラムC<sub>0</sub>～C<sub>4</sub>のそれぞれを温度計デコーダ回路306に対する3ビットの信号によってユニークに識別することができる方法、および次に温度計デコーダ回路306が表5に示されている値を出力してその指定された欠陥カラムを出力カラムO C<sub>0</sub>～O C<sub>3</sub>からの出力として除外する方法を理解することができる。さらに、「温度計デコーダ」という名前を選択した理由は表5から理解することができる。詳しく言えば、表5のボトムからトップへの次の各行に対して、論理0の個数の各行に対する増分、およびそのページの右から左への行の中での現われ方に留意されたい。言い換えれば、表5の中で論理0の存在しないトップの行から出発して、そのすぐ下の行にはその右端に論理0が1個あり、その次の下の行にはその右側2つのエントリに2つの論理0があり、以下同様になっている。別の言い方をすれば、各行の右から始まる論理0の個数は欠陥カラムの符号化によって表される二進数値に等しいことに留意されたい（たとえば、011の場合、それは二進数値の3であり、表5の中の関連している行の右から開始して3個の論理0がある）。したがって、いずれにしても、温度計に相当する方法で、目盛りの一端から他端へ増加する形でヌル値（たとえば、1がない値）から最大のしきい値（すべて1）へ向かって調整する目盛りがある。提供されているディジタルの実施形態においては、この目盛りはビットのシーケンスによって表されている。言い換えれば、その極端な場合の目盛りはすべて0であり、他の極端な値はすべて1である。それらの2つの極端な値の間では、その目盛りはシーケンスの一端から或る中間のビットまでが論理1であり、そしてそのシーケンスの他端からその中間のビットの次のビットまでが論理0である。さらに、この温度計のパターンのために、除外される可能性のあるN+1個のメモリ・カラムのそれぞれに対して異なるシーケンスが発生されることにも留意されたい。し

たがって、これらの可能なシーケンスの各1つから選択するために、欠陥カラム識別子エンコーダ308の二進出力はN+1個までの組合せを出力するように動作しなければならず、それによって上記の式1によって設定されるような個数のヒューズ（あるいは二進信号を表すことができる他の装置）が全体として必要になる。

【0104】上記の説明および例は一般的にメモリ・カラムC<sub>0</sub>～C<sub>3</sub>のうちの1つがテスト後に欠陥カラムであることが分かると仮定している。しかし、欠陥カラムがない場合でも、それらのメモリ・カラムのうちの1つが出力としては除外される必要がまだある。したがって、1つの方法として5つのメモリ・カラムのうちの1つを任意に選択し、そのコード（すなわち、表5の第1カラムの中で識別されている）を欠陥カラム識別子カラム304の中で符号化することができる（技術的にはそのカラムは欠陥カラムでない場合であっても）。代わりに、ヒューズが切断されない場合、その符号化信号は000となり、それは表5のトップの行に示されている。したがって、そのコードによってメモリ・カラムC<sub>0</sub>が 出力として除外される。さらに、他の代替案がこの分野の技術に熟達した人によって理解される。

【0105】メモリ構成304の構造および動作についての詳細説明が示されたところで、従来技術に比べてのその利点のいくつかを示す。第1に、温度計デコーダはヒューズを含まず、そして従来技術のようにマルチプレクサ制御のそれぞれの間のヒューズは不要である。したがって、そのようなヒューズに関連する複雑性（たとえば、設計、使用面積）が解消される。さらに、図13の本発明の実施形態を実装するために必要なヒューズ（あるいは他の符号化装置）の個数は図12の従来技術の場合に比べてはるかに少なくなっていることに留意されたい。与えられている例においては、欠陥カラム識別子エンコーダ308は合計の識別子の必要な個数を表すためのヒューズは3個だけで済む（たとえば、5個の識別子の場合、メモリ・カラムC<sub>1</sub>～C<sub>4</sub>のそれぞれに対して1つ）。一方、図12の方法では5個のヒューズが必要である。さらに、図12および図13はメモリ・カラムが5個だけしかないメモリの単純化された例を示している。現在の技術においては、より普通の例は257個のメモリ・カラムの程度の数を含む可能性がある。したがって、図12の従来技術の方法では、合計257個のヒューズが必要である。それに対照的に、図13の本発明の実施形態を257個のメモリ・カラムに拡張した場合、欠陥カラム識別子エンコーダ308の中で必要となるヒューズは9個（すなわち、

【数3】 $f_{CEILING} \{ \log_2 (257) \} - f_{CEILING} \{ 8.01 \} = 9$

で済むことになる。さらに、そのヒューズの場所は従来技術の場合よりさらに集中化できることに留意されたい。さらに別の例として、そして以下に説明されるよう

に、図13の実施形態はメモリのバンクおよび／または各種の冗長性技法と関連してさらに実装することができ、従来技術に比べてさらに追加の改善を提供する。さらに他の利点がこの分野の技術に熟達した人によって確認される。

【0106】図14は一般的に310において示されているメモリ構成の他の発明の実施形態を示している。メモリ構成310は以前のセクションで説明された図8aの中と同じ方法で、BANK0～BANK3で示されている4つの異なるバンクのメモリを含む。情報構成310の各BANKは一般的に同様な方法で作られ、デコーダが異なっていて各BANKを別々にアドレスできるようになっている。したがって、合計で、BANKは単独のBANKの中に格納される情報の量の4倍を格納する。各BANKの同様なエレメントをより良く理解するために、各BANKに対して同様な参照番号が使われ、その参照されるアイテムが所属するバンクを示している添字が付けられている。したがって、各バンクがどのように構築されているかの一例としてBANK0を見るとき、それは上部半分の312<sub>T0</sub>および下部半分の312<sub>B0</sub>を含み、各バンクの半分は図13の行アレイ302の方法と同様に、1つのメモリ行アレイを表している。さらに、バンクの半分は従来技術において知られているように、センス・アンプのライン314<sub>0</sub>によって分けられている。センス・アンプのライン314<sub>0</sub>はBANK0の上部または下部の半分のいずれかの行から情報を読み出すために活性化することができ、それによって究極的に構成310からアドレスされた情報が outputされる。さらに詳しく言えば、センス・アンプ314<sub>0</sub>は上部半分の312<sub>T0</sub>または下部半分の312<sub>B0</sub>のいずれかの中の行がデコーダ・グループ316<sub>0</sub>の適切な1つによって活性化された後、行から各カラム上にデータをセンスする。現在の実施形態の場合、そして例を示す方法によってだけ、究極的には256個のそれぞれの出力カラムに沿って合計256ビットのデータを出力することが望ましい。したがって、カラムの冗長性を実現するには、各バンクの半分が1つの追加のカラムを含み、合計で257個のメモリ・カラムを提供し、ここでそれらのカラムのうちの1つまでを欠陥カラムとして検出することができ、そしてそれ以後、以下に説明される方法で出力としては除外される。その説明に入る前に、1つのバンクの半分の中で単独の行の活性化に応答して、257個のカラムのそれぞれに沿ってすべての257個のデータ信号がセンス・アンプのライン314<sub>0</sub>によってセンスされ、トライステート・バッファ318<sub>0</sub>へ出力され、アクティブのとき、その257個のデータ・ビットをバスBへ接続することに留意されたい。最後に、どれかのバンクの中の行のどれか1つを、図8bに関連して上で詳細に説明されたようなアドレスによってアドレスすることができる。そのさらに詳細についてはその図の説明を

参照されたい。現在の実施形態の目的のために、4つのバンクの1つに対するアドレスは、4つのバンクのうちの1つを指定するための少なくとも2つのビットと、選択されたバンクの上部または下部の半分のいづれかを指定するための単独の追加ビットを含むことになる。図8bにおいては、これらのビットはADDR [8:6]であり、したがって、首尾一貫性のために、ただし、それに限定することなしに、それらの同じビットが現在の例に関して使われている。

【0107】構成310は以下に説明されるように、上記の図13の方法における各種の方法に関して動作する複数のアレイ回路320をさらに含む。さらに詳しく言うと、バスBを経由してのトライステート・バッファA<sub>3180</sub>～<sub>3183</sub>のそれぞからの257ビットの出力がマルチプレクサ・アレイ回路320の入力に対して接続されていることに留意されたい。マルチプレクサ・アレイ回路320はBANK0～BANK3のそれぞれの中のメモリ・カラムの数より1だけ少ない数のマルチプレクサを含み、したがって、現在の例においてはM<sub>1</sub>～M<sub>256</sub>として示されている256個のマルチプレクサを含む。さらに、バスBからのカラム・データのビットは、図13の中のマルチプレクサM<sub>1</sub>～M<sub>4</sub>に対してカラム・データが接続されているのと同じ方法で、マルチプレクサM<sub>1</sub>～M<sub>256</sub>のそれぞれに接続されている。したがって、M<sub>1</sub>～M<sub>256</sub>の各マルチプレクサの2つのデータ入力はマルチプレクサM<sub>1</sub>の入力に接続されている連続したメモリ・カラムC<sub>0</sub>およびC<sub>1</sub>のペアから始まって、連続したメモリ・カラムのペアに接続され、そして昇順に番号付けられた各マルチプレクサは連続したメモリ・カラムの次のペアに接続され、そこでこの次のペアは昇順のそれより高い番号の出力カラムのペアを共有し、したがって、このパターンはメモリ・カラムC<sub>255</sub>およびC<sub>256</sub>がマルチプレクサM<sub>256</sub>に対する入力として接続されるように、マルチプレクサ・アレイ回路320の中で継続する。最後に、M<sub>1</sub>～M<sub>256</sub>の各マルチプレクサの出力は対応している出力カラムOC<sub>0</sub>～OC<sub>255</sub>を提供し、それによって構成310からの出力データに対して動作することができる。

【0108】マルチプレクサ・アレイ回路320の256個のマルチプレクサは温度計デコーダ回路322からのそれぞれの制御信号によって制御される。さらに詳しく言えば、温度計デコーダ回路322は図13の温度計デコーダ回路306と同じ方法で構築されるが、図13の温度計デコーダ回路306は4つのマルチプレクサだけで制御され、図14の温度計デコーダ回路322はマルチプレクサ・アレイ回路320の256個のマルチプレクサを制御する。結果として、温度計デコーダ回路322は256個の制御信号を出力し、それぞれ1つずつがマルチプレクサ・アレイ回路320の各マルチプレクサに対応している。さらに、上記の表9から、この分野

の技術に熟達した人であれば、提供される制御信号は上記のような温度計パターンの257種類の可能な組合せの1つを表すこと、すなわち、すべて論理1が続いた後にすべて論理0が続くように、中間のパターンはそのパターンの中の或る点まで論理1を表し、それとそのパターンの残りの部における論理0と組み合わせられることは理解される。

【0109】温度計デコーダ回路322は欠陥カラム識別子エンコーダ324から1つの入力（現在の例では9ビット）を受け取る。欠陥カラム識別子エンコーダ324に関して、それは8個までの異なる欠陥カラムを記憶することに留意されたい。この場合、それらの各カラムは構成310の4つのバンクのうちの異なる1つの異なる上部または下部の半分の中にある。この様子をさらに説明するために、8つの行がメモリの4つのバンクの中の行の各半分の下部から上部へ対応して欠陥カラム識別子エンコーダ324の中に示されている。たとえば、欠陥カラム識別子エンコーダ324の中のボトムの行はBANK0の下部の半分312<sub>B0</sub>の中の欠陥カラム（もじあれば）の識別子に対応している。別の例として、欠陥カラム識別子エンコーダ324の中のトップの行はBANK3の上部の半分312<sub>T3</sub>の欠陥カラム（もじあれば）の識別子に対応している。ビットADDR [8:6]は以下の動作説明で詳しく示されるように、8個の行のうちの1つを選択するために欠陥カラム識別子エンコーダ324に対する入力として接続されていることに留意されたい。最後に、欠陥カラム識別子エンコーダ324の中の8個の各エントリは図13の欠陥カラム識別子エンコーダ308に類似した方法で識別子を提供するが、欠陥カラム識別子エンコーダ308は5つの可能な欠陥メモリ・カラムのうちの1つを符号化していた。しかし、欠陥カラム識別子エンコーダ324の中の8個の各エントリは、257個の可能な欠陥メモリ・カラムのうちの1つを符号化していることに留意されたい。したがって、上記の式1を適用して、欠陥カラム識別子エンコーダ324の中の8個の各エントリは、その長さが9ビット（すなわち、

$$[\text{数4}] f_{\text{CEILING}} \log \{257\} = 9$$

となることに留意されたい。

【0110】構成310の動作は次の通りである。最初に、到来するアドレスはBANK0～BANK3のうちの1つの中の行の1つをアドレスするために受け取られる。この到来するアドレスを各種の既知の技法に従つて、あるいはこのドキュメントの中で以前に説明された本発明の実施形態と矛盾しないようにデコードすることができる。いずれにしても、デコーダ316<sub>0</sub>～316<sub>3</sub>のうちの少なくとも1つがその到来するアドレスによってアドレスされる行を活性化する。説明し易くするために、到来するアドレスはBANK3の下部半分312<sub>B3</sub>の中の1つの行をアドレスすると仮定する。したがつ

て、アドレスされるBANK 3に対応しているセンス・アンプのライン $314_3$ は、その活性化された行の257個の各メモリ・カラムからのデータをセンスし、そしてそのデータがトライステート・バッファ $318_3$ を経由してバスBへ出力される。この同じ時刻において、ビットADDR [8:6]が欠陥カラム識別子エンコーダ $324$ に接続されることにも留意されたい。したがって、現在の例においては、これらのビットは現在ADD Rされている行がBANK 3の下部半分の $312_{B3}$ の中にあることを示している。応答において、欠陥カラム識別子エンコーダ $324$ はBANK 3の下部半分 $312_{B3}$ の中の欠陥カラムの9ビットの識別子を出し、この出力が温度計デコーダ回路 $322$ に接続される。9ビットの識別子によって、温度計デコーダ回路 $322$ は256ビットの温度計パターン・シーケンスをマルチプレクサ・アレイ回路 $320$ に対して出力し、それによってマルチプレクサ・アレイ回路がBANK 3の下部半分 $312_{B3}$ のメモリ・カラム $C_0 \sim C_{256}$ のうちの1つを、出力カラム $O C_0 \sim O C_{255}$ によって提供される出力から除外する。たとえば、BANK 3の下部半分 $312_{B3}$ の中のメモリ・カラム $C_{40}$ が欠陥カラムであると仮定する。したがって、温度計デコーダ回路 $322$ は256ビットのパターンをマルチプレクサ・アレイ回路 $320$ に対して提示し、それによってマルチプレクサ $M_{256} \sim M_{41}$ がそれぞれの制御入力において論理1を受け取り、一方、マルチプレクサ $M_{40} \sim M_1$ はそれぞれの制御入力において論理0を受け取る。結果として、上記の説明を前提として、この分野の技術に熟達した人であれば、BANK 3の下部半分 $312_{B3}$ のメモリ・カラム $C_{40}$ からのデータが除外され、一方、データの残りのメモリ・カラムが出力カラム $O C_0 \sim O C_{255}$ へ渡されることが理解される。

【0111】メモリ構成 $310$ の構造および動作について詳しく説明したところで、それは上記図 $13$ の利点を提供し、それ以外にさらに追加の利点を提供することに留意されたい。たとえば、複数BANKのメモリを使うことによって、各バンクは冗長性カラムを含むことができ、それによってそれらのカラムを除外するための機能を依然として維持しながら、欠陥カラムとなるカラムの個数をより大きくすることができます。さらに、バンクの半分（あるいは他の何らかの形式の分離）で各バンクをアドレスすることによって、冗長性の量はさらに増える可能性がある。さらに、もう1つの例として、図 $14$ の実施形態は本発明の範囲の各種の態様を異なるサイズのメモリに対して適用できることを示している。また、さらに別の例として、以前のセクションで関連付けられた各種のタイミングの問題は現在の実施形態には適用される必要がないこと、したがって、キャッシュ構造を含んでいる各種のメモリ構造に対してもこれらの実施形態を適用することができるが、それには限定されないことに

留意されたい。最後に、上記の例はメモリからの情報の読み出しに関連して説明されたが、それ以外にメモリの内部の行に対して情報を書き込むためにも同様な方法でカラムを除外できることにも留意されたい。

【0112】図 $15$ は一般的に $326$ で示されているメモリ構成の本発明の代替実施形態を示している。メモリ構成 $326$ は現在の実施形態においては4つのメモリ・セクション $328_0 \sim 328_3$ に論理的に、あるいは物理的にいずれかで分離されているメモリ・アレイ $328$ を含む。分離の技法の如何にかかわらず、現在の実施形態においては、メモリ・アレイ $328$ の全体に沿って1つの行が一度にアクセスされる。たとえば、メモリ・セクション $328_3$ の最下部の行がアクセスされる場合、セクション $328_2, 328_1$ 、および $328_0$ の最下部の行も同時にアクセスされる。各メモリ・セクションは $330_0 \sim 330_3$ として示されているそれぞれの一次カラム・グループを含む。これらのグループは上記の行で使われている用語と同じ意味で「一次」と呼ばれる。すなわち、ここでは行ではなくカラムであるデータ転送エレメントが普通に期待された動作をするが、欠陥のエレメントであることが発見される可能性があり、その場合に予備のエレメントが代わりにデータを転送するために使われることを意味する。例を示す方法によって、各一次カラム・グループは64個のカラムを含むと仮定する。さらに、各メモリ・セクションは $332_0 \sim 332_3$ として示されている単独の予備カラムをさらに含む。

【0113】したがって、上記から、 $328_0 \sim 328_3$ の各メモリ・セクションは合計で65個のメモリ・カラムを含む。これらの各メモリ・カラムは $334_0 \sim 334_3$ で示されている、対応しているマルチプレクサ・アレイ回路に接続されているように示されている。図 $15$ を単純化するために詳細には示されていないが、 $334_0 \sim 334_3$ の各マルチプレクサ・アレイ回路は上記の図 $14$ のマルチプレクサ・アレイ回路の $320$ などの前記の実施形態と首尾一貫性した方法で作られることは理解される筈である。しかし、図 $14$ のマルチプレクサ・アレイ回路 $320$ は合計257個のメモリ・カラム入力を含み、 $334_0 \sim 334_3$ の各メモリ・アレイは合計64個のマルチプレクサに対して接続されている合計65個のメモリ・カラム入力を含み、そしてそれらの64個の各マルチプレクサは1つの出力カラムを提供する。たとえば、マルチプレクサ・アレイ回路 $334_0$ に関しては、その64個のマルチプレクサは出力カラム $O C_0 \sim O C_{63}$ を提供する。残りの3つのマルチプレクサ・アレイ回路はそれぞれ図 $15$ において示されたのと同様に、そしてこの分野の技術に熟達した人によって理解されるように、64個の出力カラムを同様に提供する。

【0114】上記に加えて、メモリ構成 $326$ は欠陥カラム識別子エンコーダ $336$ を含む。現在の実施形態に

においては、欠陥カラム識別子エンコーダ336は328<sub>0</sub>～328<sub>3</sub>の各メモリ・グループに対応している1つの欠陥カラムに対するコードを格納する。したがって、欠陥カラム識別子エンコーダ336は336<sub>0</sub>～336<sub>3</sub>で示されている合計4つのコードを格納する。そこで、それぞれが現在の実施形態においては、上記の図14の欠陥カラム識別子エンコーダ324または図13の欠陥カラム識別子エンコーダ308と同様な方法によって表されている。さらに、各メモリ・グループは合計65個のカラムを含むので、記憶される対応している各コードの長さは上記の式1に従って7(すなわち、

$$\begin{aligned} \text{【数5】 } f_{\text{CEILING}} & \{ \text{INT}(10g_2(64+1)) \\ & = f_{\text{CEILING}}\{6.02\} = 7 \end{aligned}$$

となることに留意されたい。最後に、以下の説明を容易にするために、欠陥カラム識別子エンコーダ336の中の各欠陥カラムのコードに対する添字は、対応しているメモリ・グループの添字にマッチしていることに留意されたい。たとえば、欠陥カラム336<sub>0</sub>はメモリ・グループ328<sub>0</sub>に対応し、欠陥カラム・コード336<sub>1</sub>はメモリ・グループ328<sub>1</sub>に対応し、以下同様に他の2つの欠陥カラムがメモリ・グループに対応する。

【0115】メモリ構成326は欠陥カラム識別子エンコーダ336からの4つの各欠陥カラム・コードを受け取るための温度計デコーダ回路338も含んでいる。ここでは詳細には示されていないが、その温度計デコーダ回路328は334<sub>0</sub>～334<sub>3</sub>の各マルチプレクサ・アレイ回路中の各マルチプレクサに対して制御信号を提供するように接続されていることに留意されたい。したがって、温度計デコーダ回路338は64個の各温度計制御信号の4つの別々の集合を334<sub>0</sub>～334<sub>3</sub>の各マルチプレクサ・アレイに対して提供する。

【0116】メモリ構成326の動作は本発明の前の実施形態についての理解を前提としており、したがって、読者は以前の説明について熟知していると仮定して示される。しかし、詳しくは説明されないが、次のこと留意されたい。最初に、1つの行アドレスがメモリ・アレイ328をアドレスするために使われ、したがって、328<sub>0</sub>～328<sub>3</sub>の各グループに沿う同じ行がそのアドレスに対応して活性化される。応答においては、センス・アンプ(図示せず)が合計260個のメモリ・カラムに沿ってデータを出力する。328<sub>0</sub>～328<sub>3</sub>の各メモリ・グループが65個のそれらのメモリ・カラムに貢献している。しかし、次に、328<sub>0</sub>～328<sub>3</sub>の各メモリ・グループに対して、334<sub>0</sub>～334<sub>3</sub>の各マルチプレクサ・アレイ回路中のマルチプレクサを制御するために、温度計エンコーダ338によってそれに対応している欠陥カラム・コードが符号化される。より詳しく言えば、その欠陥カラムのコードに応答して、温度計エンコーダ338は上記の表5の方法で1つのパターンを提供するが、ここではその出力64個の論理0、64

個の論理1、あるいは、それらの極端な値の中間の或る温度計パターンを提供し、そのパターンの一部分は論理0が連続しており、そのパターンの他の部分は論理1が連続している。4つの各64ビット・パターンに応答して、対応しているマルチプレクサ・アレイ回路はその65個の入力メモリ・カラムのうちの1つをその出力カラムから除外する。したがって、そのアクセスの終了時に、合計256ビットのデータがメモリ構成326から出力される。

【0117】メモリ構成326の構造および動作についての説明が提示されたところで、この構成は本発明の以前の実施形態からの各種の利点を提供し、そしてさらに追加の利点も提供することに留意されたい。たとえば、メモリを論理的な、あるいは物理的なグループに分離することによって、各グループに対する、対応している予備カラムを備えることができ、それによって欠陥カラムの数をより多く許容することができ、それらのカラムを除外する機能も維持しているようになることができる。別の例として、図15の実施形態はふたたび異なるサイズのメモリに対して本発明の範囲の各種の態様を適用でき、そして各種のメモリ構造に対してふたたび適用できることを示している。

【0118】図16は一般的に340において示されている本発明のメモリ構成のさらに他の実施形態の電気的な図を示している。メモリ構成340の詳細説明に入る前に、上記の説明はメモリ構成のカラムからのデータの読み出しのコンテキストにおいて行なわれたことにまず留意されたい。しかし、本発明の原理の多くはメモリ構成に対してデータを書き込むためにも適用され、したがって、図16の実施形態はそれらの原理のあるものの応用を示しており、その次に本発明の適用範囲内のメモリ構成に対する書き込みの態様をさらに示している追加の実施形態が続く。このイントロダクションを前提として、メモリ構成340は図13のメモリ構成304の同じエレメントのいくつかを共有し、したがって、そのようなエレメントが現われる場所では、同様な番号および/または文字が使われている。次にそれらの同様なエレメントを参照すると、メモリ構成340は一連のメモリ・カラムC<sub>0</sub>～C<sub>4</sub>に沿って情報を通信する任意の数の行を備えている行アレイ302を含む。

【0119】図13のメモリ構成304と対照的に、図16のメモリ構成340はデータを行アレイ302の内部の行に入れるができるように、そのメモリ・カラムに対して情報を書き込む場合の構成である。この目的のために、メモリ構成340はIC<sub>0</sub>～IC<sub>3</sub>で示されている複数の入力カラムを含む。本発明の前の実施形態での出力カラムの場合と同様に、入力カラムの数はメモリ・カラムの数より1だけ少なく、したがって、現在の例においては5つのメモリ・カラムのうちの4つに対してデータを書き込むために4つの入力カラムが存在す

る。また、メモリ構成340は選択されたメモリ・カラムに対して入力カラムのデータの書き込みを制御するための複数のマルチプレクサも含む。このコンテキストにおいて、マルチプレクサの個数は入力カラムの個数より1だけ少ない。したがって、メモリ構成340の中では、 $M_{I_1}$ 、 $M_{I_2}$ 、および $M_{I_3}$ でそれぞれ示されている3つのマルチプレクサが示されている。これらのマルチプレクサの接続に関して、それらが入力カラムのうちの最も外側の1つ（すなわち、 $I_{C_0}$ および $I_{C_3}$ ）に接続されているか、あるいはそれらの最も外側のカラムの間のカラムのペアに対してだけ接続されているかどうかによって特徴付けられることに留意されたい。まず最初に、最も外側の入力カラムを眺めると、それぞれの最も外側のメモリ・カラムに対して直接に接続されている。たとえば、 $I_{C_0}$ は $C_0$ に直接接続されている。また、最も外側の入力カラムに関しては、それがマルチプレクサの1つの入力に接続されている。たとえば、 $I_{C_0}$ はマルチプレクサ $M_{I_1}$ の1つの入力にも接続されている。ここで最も外側の入力カラムの間にある入力カラムを見ると、それぞれが第1の入力マルチプレクサの入力および第2の入力マルチプレクサの入力に接続されており、第1のマルチプレクサは入力カラムと同じ添字のメモリ・カラムにその出力が接続されており、そして第2のマルチプレクサはその入力カラムの添字より大きい添字のメモリ・カラムに対してその出力が接続されていることに留意されたい。たとえば、 $I_{C_1}$ は最も外側の入力カラムの間にある入力カラムであり、したがって、 $I_{C_1}$ はその出力が $C_1$ に接続されている $M_{I_1}$ に接続されており、そして $I_{C_1}$ は出力が $C_2$ に接続されている $M_{I_2}$ にも接続されている。この例で、最も外側の入力カラムの間に他の入力カラム $I_{C_2}$ は同様に $M_{I_2}$ および $M_{I_3}$ に接続されている。さらに、図16の実施形態はその最も外側の入力カラム間にある入力カラムを2つだけしか含んでいないが、この分野の技術に熟達した人であれば、このパターンを最も外側の入力カラム間にある入力カラムの数が任意である構成に対して複製できることが分かる。最後に、前の実施形態の場合と同

様に、ここでも0または1の制御信号にそれぞれ基づいて「0」または「1」のいずれかの側のデータの選択を表すために各マルチプレクサの図において「0」および「1」の両方の決まりが示されている。

【0120】図16のメモリ構成340はそれに関連付けられた温度計デコーダ回路306以外に、図13の中と同様な欠陥カラム識別子エンコーダ308も含んでいる。しかし、温度計デコーダ回路306に関して、それは図13の実施形態中の4つの制御ビット（すなわち、 $M_1$ ～ $M_4$ の各マルチプレクサに対して1つ）を出力することを思い出されたい。しかし、図16の実施形態においては、マルチプレクサは $M_1$ ～ $M_3$ の3つだけしかない。それにかかわらず、以下に証明されるように、データの読み出しの目的で欠陥カラムを除外するためにマルチプレクサ $M_1$ ～ $M_4$ を制御するための温度計デコーダ回路306からのと同じ出力のサブセット（すなわち、図13）を、データの書き込みの目的のために欠陥カラムを除外するために図16の中で使うことができる。後で示されるように、サブセットは最初または最後のマルチプレクサに対応しているもの以外の温度計デコーダ回路306からのすべての制御ビットから構成される。言い換れば、 $M_1$ ～ $M_3$ に対する制御ビットのいずれも使えるが（それによって最後のマルチプレクサ $M_4$ に対応しているビットを使わない）、あるいは代わりに、 $M_2$ ～ $M_4$ に対する制御ビットを使うことができる（それによって最初のマルチプレクサ $M_1$ に対応しているビットを使わない）。したがって、図16の中の例で示されているように、 $M_{I_1}$ ～ $M_{I_3}$ に対する制御ビットが $M_1$ ～ $M_3$ をそれぞれ制御するために使われる。

【0121】マルチプレクサ $M_1$ ～ $M_3$ に接続されている欠陥カラム識別子エンコーダ308の出力ビットが与えられて、各マルチプレクサを制御するために温度計デコーダ回路306によって提供される出力が次の表6に示されている。

【0122】

【表7】

識別された欠陥カラムおよびその符号化	温度計デコーダからの $M_{I_3}$ 制御ビット	温度計デコーダからの $M_{I_2}$ 制御ビット	温度計デコーダからの $M_{I_1}$ 制御ビット
$C_0(0\ 0\ 0)$	1	1	1
$C_1(0\ 0\ 1)$	1	1	x
$C_2(0\ 1\ 0)$	1	x	0
$C_3(0\ 1\ 1)$	x	0	0
$C_4(1\ 0\ 0)$	0	0	0

表6

【0123】表6の中の「x」はその制御ビットがドン

ト・ケアであること、すなわち、それはどのバイナリ状態が示されても無関係であることを示す。さらに、表6

の信号をいくつか追加すると、図16の実施形態を理解するのに役立ち、したがって、そのような例が以下に提供される。

【0124】表6に与えられている構成340の動作の最初の例として、C<sub>0</sub>が欠陥カラムであると判定されたと仮定する。したがって、IC<sub>0</sub>～IC<sub>3</sub>からのデータをC<sub>1</sub>～C<sub>4</sub>に対してそれぞれ書き込むことが望ましい。したがって、ここでもC<sub>0</sub>は欠陥カラム識別子エンコーダ308の中で符号化され、温度計デコーダ回路306からの出力として表6のトップの行が発生される。詳しく言えば、この例に対する制御の出力は111である。図16の中のマルチプレクサの動作に関して、この制御出力はMI<sub>1</sub>～MI<sub>3</sub>の各マルチプレクサが図16に示されているように、そのマルチプレクサの右側の入力カラムをその出力に接続するようにさせる。したがって、MI<sub>1</sub>はIC<sub>0</sub>をC<sub>1</sub>に、MI<sub>2</sub>はIC<sub>1</sub>をC<sub>2</sub>に、そしてMI<sub>3</sub>はIC<sub>2</sub>をC<sub>3</sub>に接続する。さらに、IC<sub>3</sub>は既に直接にC<sub>4</sub>に接続されていることに留意されたい。したがって、この構成における書き込みサイクルにおいて、データは各入力カラムから欠陥のないメモリ・カラムに対して書き込むことができる。最後に、C<sub>0</sub>は欠陥カラムであっても、それはIC<sub>0</sub>からデータをやはり受け取ることに留意されたい。しかし、これはデータの完全性には無関係である。というのは、IC<sub>0</sub>からのデータは欠陥のないカラム、すなわち、C<sub>1</sub>に対しても提供されているからである。

【0125】表16に与えられている構成340の動作の第2の例では、C<sub>2</sub>が欠陥カラムであると判定されたと仮定する。したがって、IC<sub>0</sub>からC<sub>0</sub>へ、IC<sub>1</sub>からC<sub>1</sub>へ、IC<sub>2</sub>からC<sub>3</sub>へ、そしてIC<sub>3</sub>からC<sub>4</sub>へ書き込むことが望ましい。したがって、欠陥カラム識別子エンコーダ308の中でのC<sub>2</sub>の符号化を前提として、温度計デコーダ回路306は表6の第3行の温度計パターン、すなわち、1x0の値を出力する。この信号はその中央にドント・ケアを含むことに留意されたい。したがって、適切な出力値は110または100、すなわち、xに対して1または0を置き換えた値となる可能性がある。これらの代替案の可能性がその動作を通じてここで追跡され、そのいずれもが表6の中に示されているように受入れ可能であることを示す。まず最初に110の制御パターンに関して、まず最初に欠陥のないメモリ・カラムにその出力が接続されているマルチプレクサに対応する制御パターンの中の制御ビットに着目することによって、その効果を理解することがおそらく最も易しいことに留意されたい。したがって、現在の例においては、MI<sub>1</sub>およびMI<sub>3</sub>が欠陥のないメモリ・カラムに対してその出力が接続されている（一方、MI<sub>2</sub>はその出力が欠陥カラムC<sub>2</sub>に接続されている）。MI<sub>1</sub>に関して、その制御入力に0が与えられると、IC<sub>1</sub>からのデータがC<sub>1</sub>に接続され、それによってIC<sub>0</sub>からの

データはC<sub>0</sub>に接続される。さらに、MI<sub>3</sub>に関してはその制御入力が1であると、IC<sub>2</sub>からのデータがC<sub>3</sub>に接続され、それによってIC<sub>3</sub>からのデータがC<sub>4</sub>に接続されるようになる。これらの適切な接続を前提として、MI<sub>2</sub>の制御は現在のケースにおいては無関係であることに留意されたい。110の温度計パターンに対するケースのようにMI<sub>2</sub>に対する制御入力が1であった場合、MI<sub>2</sub>はIC<sub>1</sub>からのデータを選択し、それをC<sub>2</sub>に接続する。しかし、このアクションはIC<sub>1</sub>からのデータもMI<sub>1</sub>を経由してC<sub>1</sub>に接続されているので、無関係である。さらに、C<sub>2</sub>が欠陥カラムであるので、データの書き込み時にそれをIC<sub>1</sub>に接続しても害は発生しない。これらの結果が与えられて、この分野の技術に熟達した人であれば、この例において、MI<sub>2</sub>に対する制御入力が100の温度計パターンに対するケースのように0であった場合、MI<sub>2</sub>はIC<sub>2</sub>からのデータを選択してそれをC<sub>2</sub>に接続するが、ここでもこれは無関係である。というのは、IC<sub>2</sub>からのデータは既にMI<sub>3</sub>を経由してC<sub>3</sub>にも接続されているからである。したがって、この場合にはパターン110または100のいずれも適しており、したがって、中間のビットはドント・ケアであって表6の中央の行に示されているように結果として1x0となる。

【0126】表6からの制御ビットの印加の上記の例を前提として、この分野の技術に熟達した人であれば、メモリ構成340の動作を追跡して表6の残りの行を確認することができる。したがって、それらの各場合に対しては詳細な説明は示されない。それにもかかわらず、メモリ・カラムヘデータを書き込む目的のために、表6の中の制御ビットの有効性をここで示したことにより、カラムのデータの読み出しに関して思い出す上記の表とのその共通性にさらに留意されたい。詳しく言えば、表6の中のドント・ケアを前提として、表5の最初の3つまたは最後の3つのカラムのいずれもが表6に示されているものに対応する適切なデータを提供することに留意されたい。結果として、表5から最も右のカラムまたは最も左のカラムのいずれかを消去することによって、残りのビットを使って表6の制御ビットを提供することができる。したがって、図16に示されているデータの書き込みのためのマルチプレクサに関して、それらを図13中のデータの読み出しのために使われるマルチプレクサが接続されているのと同じ温度計デコーダ回路306の出力に接続することができる。ただし、制御ビット・パターンの最上位または最下位のビットのいずれかはメモリ・カラムに対するデータの書き込みに関連するマルチプレクサに対する接続においては使われない。

【0127】上記から、この分野の技術に熟達した人であれば、現在の各種の実施形態がメモリ・カラムのグループからのデータの複数の出力カラムへの読み出し、または複数の入力カラムからメモリ・カラムのグループへの

データの書き込みのいずれにも適用されることが分かる。この実施形態が読出しまだ書込みのいずれであるかには無関係に、上記の実施形態によって、メモリ・カラムの1つが欠陥カラムである場合におけるこの動作が可能となる。図17は図13の中のデータの読み出しに対し、および図16の中のデータの書き込みに対して示されているように、4つのメモリ・カラムの例をふたたび使って、読み出しおよび書き込みの両方に対するこの共通の属性を図式的な形式でさらに示している。したがって、同じメモリ・カラム  $C_0 \sim C_4$  が図17の最上部を横断して示されている。これらのカラムの選択されたものからのデータの読み出し、またはそれらのメモリ・カラムの選択されたものへのデータの書き込みのいずれに関しても、図13および16の入力および出力のカラムは組み合わせられて入／出力カラム（I/Oと略記される）を形成し、したがって、カラム I/O<sub>0</sub> ~ I/O<sub>3</sub> を提供する。I/Oカラムとメモリ・カラムとの間には双方向の矢印が示されており、それは1つのI/OカラムとI/Oカラム当たりの2つの可能なメモリ・カラムの1つとの間の通信の可能な電気的経路を示している。最後に、各I/Oカラムに対してその対応している2つの双方向の矢印がその対応しているI/Oカラムに対する添字と「T」を組み合わせることによって示されている温度計コードからの制御ビットを伴って示されている。T信号およびその補数が示されており、T（たとえば、T0）の値が第1の状態にある場合、その補数の指示のない対応している矢印（すなわち、図17の中のI/O<sub>0</sub> の左向きの矢印）はそのI/Oカラムとメモリ・カラムとの間の接続を表し、一方、Tの値が第2の状態、すなわち、第1の状態の補数の状態（たとえば、/T0）、その補数の指示の付いた対応している矢印（すなわち、図17の中のI/O<sub>0</sub> の右への矢印）はそのI/Oカラムとメモリ・カラムとの間の接続を表すことに留意されたい。この決まりは以下に与えられる例において使われる。

【0128】図17の構成を前提として、ここでデータの読み出しまだ書込みのいずれの場合でも、上記の実施形態は各種の概念を共有することに留意されたい。まず最初に、メモリ・カラムの欠陥カラムが符号化回路によって識別される。第2に、温度計パターンがその符号化された識別に基づいて発生される。第3に、その温度計パターンに応答して、データがメモリ・カラムとI/Oカラムとの間で通信され、少なくともその欠陥のメモリ・カラム以外の各メモリ・カラムがI/Oカラムのそれぞれの1つに接続される。前の文章の中で「少なくとも」各メモリ・カラムがそのような方法で接続されるということが述べられていることに留意されたい。このクオリフィケーションは以下のデータの読み出しおよび書き込みの説明からより良く理解される。

【0129】データを読み出す場合、欠陥カラムはI/

Oカラムのどれにも結合されないように完全に排除される。したがって、欠陥カラムがあった場合、その信号は読み取れない。たとえば、C<sub>3</sub> が欠陥カラムであると仮定する。したがって、それを読み出しに対して除外するために、T3～T0に対する温度計コードは1000に等しい。したがって、I/O<sub>3</sub> はC<sub>4</sub> と通信し、I/O<sub>2</sub> はC<sub>2</sub> と通信し、I/O<sub>1</sub> はC<sub>1</sub> と通信し、そして I/O<sub>0</sub> はC<sub>0</sub> と通信する。したがって、C<sub>3</sub> はどのI/Oカラムにも接続されない。結果として、データを読み出す場合、欠陥のメモリ・カラム以外のメモリ・カラムだけがそれぞれのI/Oカラムに接続される。結果として、上で述べたように、欠陥のメモリ・カラム以外の少なくとも各メモリ・カラムがそれぞれのI/Oカラムの1つに接続されることとは確かである。しかし、他のメモリ・カラム（すなわち、欠陥カラムのメモリ・カラム）はI/Oカラムには接続されないことも確かである。

【0130】データを書き込む場合、上記で与えられたマルチプレクサの実施形態は、ふたたび欠陥のメモリ・カラム以外の各メモリ・カラムがI/Oカラムのそれぞれの1つに確かに接続されることに留意されたい。しかし、その他に、それらは実際にI/Oカラムの1つから欠陥カラムがデータを受け取ることができるようにもする。それにもかかわらず、この結果はデータの完全性には無関係である。というのは、これが起こったとしても、図示されているマルチプレクサの使用によって欠陥のメモリ・カラムに接続されているのと同じデータが欠陥のないメモリ・カラムにも接続されることがさらに確保されるからである。マルチプレクサの実施形態についてのこの結果を前提として、書き込みに対して本発明の実施形態のより広い表現において、図17の矢印はふたたび上記の温度計パターンによって制御される、そして欠陥のないメモリ・カラムに対してだけ通信する双方向の転送ゲートを表すことができることにさらに留意されたい。特に、欠陥カラム以外のメモリ・カラムに書き込むために、欠陥のメモリ・カラムに対する矢印を切断する（すなわち、転送ゲートがディスエーブルされ）、欠陥のメモリ・カラムがどのI/Oカラムとも通信しないようになることができる。応答において、欠陥のメモリ・カラム以外のメモリ・カラムだけがそれぞれのI/Oカラムに接続される。たとえば、C<sub>2</sub> が欠陥カラムであって、書き込みが行なわれると仮定する。したがって、書き込みに対してC<sub>2</sub> を除外するために、T3～T0に対する温度計のコードは1100に等しい。したがって、I/O<sub>3</sub> はC<sub>4</sub> と通信し、I/O<sub>2</sub> はC<sub>3</sub> と通信し、I/O<sub>1</sub> はC<sub>1</sub> と通信し、そして I/O<sub>0</sub> はC<sub>0</sub> と通信する。したがって、C<sub>2</sub> はどのI/Oカラムにも接続されないことに留意されたい。結果として、図17の表現はデータの書き込みの場合においても欠陥のメモリ・カラム以外のメモリ・カラムがそれぞれのI/Oカラムに接続されるようにすることができる。

【0131】最後に、図17に関して、以前の実施形態と同様にこの実施形態は本発明の原理を読み出しのみ、書き込みのみ、あるいは読み出しと書き込みとの組合せのためのシステムに適用できることをさらに示している。したがって、本発明の適用範囲を示す目的で、I/Oカラムは実際のメモリ・カラムに関して外部データを通信し、その通信が読み出し、書き込み、またはその両方であってもよいことを意味している或るタイプのデータ・カラムを表すことに留意されたい。

【0132】ここで図16に戻って、それは対応している欠陥のないメモリ・カラムに対してすべての入力カラムからの書き込み機能を有する1つの実施形態を提供することを思い出されたい。この態様を前提として、本発明の実施形態によって解決されるもう1つの問題が、バイト書き込みの機能のコンテキストによって発生する。詳しく言えば、この分野の技術におけるほとんどのメモリは1バイト(すなわち、8カラム)よりかなり大きい数の合計の入力カラムを含む。しかし、これらのメモリのいくつかはいわゆるバイト書き込み機能を有し、その場合、入力カラムのうちの1バイトだけに単独の瞬間ににおいて書き込むことができる。実際に、この機能は単独のバイトに対して常に限定されるわけではなく、任意のサイズのグループのビットに適用できる。たとえば、128のカラムのメモリにおいては、32ビットを一度にそのメモリに書き込むことができる。したがって、この例では、書き込みのグループ・サイズは32ビットである。したがって、このドキュメントの目的に対して、このグループは書き込みユニットと呼ばれ、それによってそのユニットが、上記の例の場合は8または32ビットのいずれかが提供されているが、任意の数のビットを含むことができることが理解される。書き込みユニットに対するこのイントロダクションを前提として、現在の実施形態をさらに修正して以下に説明されるように書き込みユニットの書き込みができるような機能を含めることができることにさらに留意されたい。

【0133】書き込みユニットの機能を提供するための最初の方法として、図16の行アレイ302およびその関連付けられた回路を複数回繰り返すことができ、したがって、各繰り返しの構造が4ビットの長さの書き込みユニットを提供するようにすることに留意された。言い換えれば、行アレイ302の各繰り返しのインスタンスは4つの入力カラムおよび5つのメモリ・カラムを提供することになり、そして各繰り返しのインスタンスに別々に書き込むことができ、それによって4ビットの書き込みユニットを提供し、一方上記のカラムの冗長性の態様をさらに提供することができる。さらに、上記のように、行アレイ302は4つの入力カラムに限定される必要はない。したがって、行アレイ302を繰り返す実施形態において、各繰り返された構造も4つの入力カラムに限定される必要はない。たとえば、各構造は8個の

入力カラムを含むことができ、それによって各繰り返された構造に対して8ビットの書き込みユニットを提供することができる。しかし、或るメモリに対しては、そのような方法は望ましくない可能性があることに留意されたい。たとえば、その8ビットの構造が繰り返されて256ビットのデータ・ラインを形成する場合、そのデータ・ラインは合計32の構造(すなわち、8ビット\*32構造=256ビットのデータ・ライン)を含むことになる。しかし、そのような方法は32個の冗長カラムを含むことになり、そしてそれは必要以上に冗長性が多い可能性がある。したがって、別の方法がすぐ次に提供される。

【0134】書き込みユニットの機能を提供するための第2の方法として、図18がもう一度図16のメモリ構成340を示すが、書き込みユニットの機能を実現するために追加の回路を含む。図18の例の場合、書き込みユニットの長さは2ビットであり、したがって、書き込み動作の間に、入力カラムのペアの1つまたは両方がメモリ・カラムの対応している1つのペアまたは2つのペアに対して書き込まれる可能性がある。もちろん、必要であれば、各書き込みユニットは同時に書き込まれ、すべての書き込みが同時並行的に行われるようになることができる。したがって、図18の例においては4つの入力カラムからのデータが4つのメモリ・カラムに対して接続されることになる。ここで図18の詳細を見るとして、上記の図16から受け継がれている特徴は詳しくはここでは説明されず、代わりに、読者はそのような構造およびその動作についての以前の説明を参照されたい。図18の追加された回路を見ると、メモリ構成340は2つの書き込みユニットに対する書き込みイネーブル信号を含み、それらの信号はWE0およびWE1として示されている。信号WE0は書き込みイネーブル回路342<sub>0</sub>に対する制御信号として接続されている。書き込みイネーブル回路342<sub>0</sub>はこの分野の技術において既知の機能を提供し、それによってその制御信号が断定されたとき、それが接続されているカラムがイネーブルされ、それらのカラムが書き込みイネーブルに対するデータ入力によって書き込まれる。そのような機能は、たとえば、そのカラムと直列に接続されたnチャネル・トランジスタのソースとドレンを接続し、そして制御信号を受け取るためにそのゲートを使って実装することができる。この実装またはこの分野の技術に熟達した人によって選択される他の実装において、WE0が断定されると、回路342<sub>0</sub>をイネーブルするためのデータ入力はメモリ・カラムC<sub>0</sub>およびC<sub>1</sub>をそれぞれ通過する。この動作のために、イネーブル回路342<sub>0</sub>を通る点線が示されており、制御入力が断定されるとイネーブル回路342<sub>0</sub>に対するデータ信号入力がそれを通過することを図式的に示している。信号WE1はWE0と同じ方法で接続されるが、それ自身の関連付けられた書き込みイネーブル回路342<sub>1</sub>に対

して接続される。書込みイネーブル回路342<sub>1</sub>は書込みイネーブル回路342<sub>0</sub>と同じ方法で動作するが、ここではメモリ・カラムC<sub>3</sub>およびC<sub>4</sub>について動作する。したがって、WE1が断定されると、書込みイネーブル回路342<sub>1</sub>に対する入力データはメモリ・カラムC<sub>3</sub>およびC<sub>4</sub>を通過する。

【0135】図18のメモリ構成340は第3の書込みイネーブル回路342<sub>0-1</sub>も含む。ここでその添字はこの書込みイネーブル回路が、書込みイネーブル回路342<sub>0</sub>と書込みイネーブル回路342<sub>1</sub>とに対応しているメモリ・カラムの間にあるメモリ・カラム(すなわち、C<sub>2</sub>)に対する書込みをイネーブルすることを示すために使われている。書込みイネーブル回路342<sub>0-1</sub>に対する制御信号はマルチプレクサM<sub>0-1</sub>から出力され、そのマルチプレクサの2つのデータ入力はWE0およびWE1に接続されていて、そのマルチプレクサの制御入力は以下において理解される理由のために、MI<sub>2</sub>を制御するのと同じ信号に接続されている。

【0136】図18のメモリ構成340の動作は次の通りである。イントロダクションとして、この動作によってWE0とWE1の値に基づいて1つまたはそれ以上の2ビットの書込みユニットに対して書き込むことができることに留意されたい。したがって、これらの値のうちの1つだけが断定された場合、4つの入力カラムのうちの2つからのデータがメモリへ書き込まれ、一方、2つの値の両方が断定された場合、4つの入力カラムのすべてにおいてデータが書き込まれる。しかし、いずれの場合においても、現在の実施形態はメモリ・カラムのうちの1つが欠陥カラムであり得ることを考えていることをさらに思い出されたい。結果として、書込みイネーブル機能は以下に示されるようにこの可能性も考慮に入れなければならず、図18の実施形態はこの目標を適切に達成する。一般に、書込みイネーブル342<sub>0</sub>および342<sub>1</sub>によって、WE0がC<sub>0</sub>およびC<sub>1</sub>と関連付けられ、そしてWE1はC<sub>3</sub>およびC<sub>4</sub>と関連付けられる。言い換えば、WE0が断定された場合、C<sub>0</sub>およびC<sub>1</sub>が書き込まれ、そしてWE1が断定された場合、C<sub>3</sub>およびC<sub>4</sub>が書き込まれる。しかし、カラムC<sub>0</sub>、C<sub>1</sub>、C<sub>3</sub>、またはC<sub>4</sub>のうちの1つが欠陥カラムであ

った場合、現在の実施形態によって書込みユニットの一部をC<sub>2</sub>に接続することができる。これに関して、C<sub>2</sub>へ渡されるデータはM<sub>0-1</sub>に対する制御入力によって決定されるように、W0またはW1のいずれかによって制御されることに留意されたい。次に、どのメモリ・カラムが欠陥カラムであるかによって、他の制御が行なわれる。たとえば、C<sub>0</sub>およびC<sub>1</sub>には欠陥がなく、IC<sub>0</sub>およびIC<sub>1</sub>の2ビットの書込みユニットからのデータを書き込む必要があると仮定する。したがって、WE0が断定されてC<sub>0</sub>およびC<sub>1</sub>がIC<sub>0</sub>およびIC<sub>1</sub>からのデータをそれぞれ受け取る(上記の温度計パターンを使って)。しかし、ここでC<sub>1</sub>が欠陥カラムであると仮定する。したがって、普通であればC<sub>1</sub>に対してデータを渡すことができるよう意図されている書込みイネーブル制御信号(すなわち、WE0)は、代わりに欠陥のないカラム(すなわち、C<sub>2</sub>)へデータを渡すことができるようするために使われ、それはその温度計パターンのためにIC<sub>1</sub>からのデータを受け取る。以下に詳細に説明されるように、マルチプレクサM<sub>0-1</sub>が動作してこの結果を得る。言い換えれば、現在の例の場合、マルチプレクサM<sub>0-1</sub>はWE0を書込みイネーブル回路342<sub>0-1</sub>に対して結合し、そしてそうする際に、IC<sub>0</sub>およびIC<sub>1</sub>からの2ビットの書込みユニットがC<sub>0</sub>およびC<sub>2</sub>に対してそれぞれ書き込まれるように、C<sub>2</sub>に対してデータが書き込まれるようにする。

【0137】上記の例を前提として、与えられた書込みの間に、書き込まれる各メモリ・カラムは書込みイネーブル信号(すなわち、WE0またはWE1のいずれか)に応答して書き込まれることに留意されたい。しかし、上で示されたように、欠陥カラムが存在することによってどのメモリ・カラムがこの方法で関連付けられるべきであるかが影響を受ける。したがって、下の表7は各メモリ・カラムに対してそのメモリ・カラムに対する書込みを許すのに使われる、対応している書込みイネーブル信号を、欠陥のメモリ・カラムが指定された場合に示している。

【0138】

【表8】

	C <sub>4</sub>	C <sub>3</sub>	C <sub>2</sub>	C <sub>1</sub>	C <sub>0</sub>
C <sub>0</sub> が欠陥カラムである場合のWE	WE 1	WE 1	WE 0	WE 0	ドント・ケア
C <sub>1</sub> が欠陥カラムである場合のWE	WE 1	WE 1	WE 0	ドント・ケア	WE 0
C <sub>2</sub> が欠陥カラムである場合のWE	WE 1	WE 1	ドント・ケア	WE 0	WE 0
C <sub>3</sub> が欠陥カラムである場合のWE	WE 1	ドント・ケア	WE 1	WE 0	WE 0
C <sub>4</sub> が欠陥カラムである場合のWE	ドント・ケア	WE 1	WE 1	WE 0	WE 0

表7

【0139】表7をより良く理解するために、直ぐ下で行なわれるよう、そのいくつかの行を通して追跡することが役に立つ。

【0140】表7の指示の最初の例として、C<sub>4</sub> が欠陥カラムであると仮定し、したがって、表7の最下部の行が書き込みイネーブル信号の必要な使われ方を示している。この表7の行を詳細に説明する前に、上記の図16の説明から、C<sub>4</sub> に欠陥がある場合の温度計パターンは I C<sub>0</sub> からのデータをC<sub>0</sub> へ、I C<sub>1</sub> からのデータをC<sub>1</sub> へ、I C<sub>2</sub> からのデータをC<sub>2</sub> へ、そして I C<sub>3</sub> からのデータをC<sub>3</sub> へ向かわせる。したがって、4つのビット全体において、これはそれぞれ2つのビットがある2つの書き込みユニットの書き込みを表す。それより低い順序番号の書き込みユニット（すなわち、I C<sub>0</sub> および I C<sub>1</sub> ）を見ると、その回路を通る径路はWE 0によって制御される必要がある。詳しくは、この書き込みユニットの中の2つのビットのそれぞれの径路に留意されたい。まず最初に、I C<sub>0</sub> からのデータは書き込みイネーブル回路342<sub>0</sub> に対して直接に接続され、WE 0が断定されたことに応答して、C<sub>0</sub> へ通過する。第2に、I C<sub>1</sub> からのデータはM<sub>1</sub> を通して書き込みイネーブル回路342<sub>0</sub> へつながり、そしてWE 0が断定されているのに応答して、C<sub>1</sub> へ通過する。ここでそれより順序番号の高い書き込みユニット（すなわち、I C<sub>2</sub> および I C<sub>3</sub> ）を考慮して、その回路を通る径路はWE 1によって制御される必要があり、したがって、この書き込みユニットの中の2つのビットのそれぞれを考える。I C<sub>2</sub> にあるデータに着目して、C<sub>4</sub> が欠陥カラムである場合、このデータはM I<sub>2</sub> によってC<sub>2</sub> に向けられることを思い出された。したがって、現在の例においては、表7の最下部の行の中央のエントリに示されているように、C<sub>2</sub> はWE

1によってイネーブルされる必要がある。これに関して、上記の表6から、C<sub>4</sub> が欠陥カラムである場合の現在の例の場合、制御M<sub>0-1</sub> に対しても接続されているM I<sub>2</sub> に対する制御信号は0に等しいことを思い出されたい。したがって、図18の構成に基づいて、0の制御信号によってM<sub>0-1</sub> がその入力の1つからWE 1を選択し、それを書き込みイネーブル回路342<sub>0-1</sub> に対して出力する。結果として、WE 1が、表7で示されているようにC<sub>2</sub> への書き込みを制御するために使われる。最後に、I C<sub>3</sub> のデータを見て、C<sub>4</sub> が欠陥カラムである場合、このデータはM I<sub>3</sub> によってC<sub>3</sub> に向けられることを思い出されたい。C<sub>3</sub> が書き込みイネーブル回路342<sub>1</sub> に接続されるので、それは図18の中で示されているようにWE 1によって制御され、したがって、表7の指示と合っている。

【0141】表7の指示の第2の例として、C<sub>0</sub> が欠陥カラムであり、したがって、表7の中のWEの指示のトップの行が書き込みイネーブル信号のために必要であると仮定する。まず最初に上記の図16の説明から、C<sub>0</sub> が欠陥カラムである場合の温度計パターンは I C<sub>0</sub> からのデータをC<sub>1</sub> へ、I C<sub>1</sub> からのデータをC<sub>2</sub> へ、I C<sub>2</sub> からのデータをC<sub>3</sub> へ、そして I C<sub>3</sub> からのデータをC<sub>4</sub> へ向けることを思い出されたい。より低い順序の書き込みユニット（すなわち、I C<sub>0</sub> および I C<sub>1</sub> ）を見て、その回路を通る径路はWE 0によって制御される必要がある。これに関して、まず最初に I C<sub>0</sub> からのデータが M I<sub>1</sub> を通って書き込みイネーブル回路342<sub>0</sub> へつながり、そして、WE 0が断定されているのに応答して、C<sub>1</sub> へ通過する。しかし、第2に、I C<sub>1</sub> からのデータが M I<sub>2</sub> を通って書き込みイネーブル回路342<sub>0-1</sub> へつながる。したがって、表7に基づいて、この場合は書き込みイネーブル回路342<sub>0-1</sub> はWE 0によって制御される

必要がある。これに関して、上記の表6から、 $C_0$  が欠陥カラムである現在の例の場合、 $M_{0-1}$  を制御するためにも接続されている  $M_{I_2}$  に対する制御信号は1に等しい。したがって、その1の制御信号によって  $M_{0-1}$  がその入力の1つから  $WE_0$  を選択し、それを書き込みイネーブル回路342<sub>0-1</sub> に対して出力する。結果として、表7に示されているように、 $C_2$  の書き込みを制御するために  $WE_0$  が使われる。ここでそれより高い順序の書き込みユニット、すなわち ( $IC_2$  および  $IC_3$ ) を考えると、その回路を通る径路は  $WE_1$  によって制御される必要があり、したがって、この書き込みユニットの中の2つのビットのそれぞれについて考える。 $IC_2$  におけるデータを見て、 $C_0$  が欠陥カラムである場合、このデータは  $M_{I_3}$  によって  $C_3$  へ向けられることを思い出されたい。したがって、現在の例においては、 $C_3$  は  $WE_1$  によってイネーブルされる必要があり、そしてこれは  $WE_1$  の書き込みイネーブル回路342<sub>1</sub> への接続のために発生する。最後に、 $IC_3$  のデータを見て、それは書き込みイネーブル回路342<sub>1</sub> に直接接続されていることを思い出されたい。したがって、それは図18に示されているように  $WE_1$  によって制御され、したがって、表7の指示と合っている。

【0142】上記の2つの例が提示されたところで、この分野の技術に熟達した人であれば、表7によって示されている残りの例を追跡して図18のメモリ構成340の書き込みユニットの動作が適切であることを確認することができる。さらに、上記の2つの例は  $M_{I_2}$  を制御するのと同じビットが  $M_{I_{0-1}}$  をも制御する方法を示していることに留意されたい。この結論はさらに表6および表7の中の制御情報の中央のカラムを比較することによってさらに確かめられる。詳しく言えば、表6の2つの行から、1の制御値は  $C_0$  が欠陥行であるか、あるいは  $C_1$  が欠陥行であるかのいずれかの場合に  $M_{I_2}$  へ出力され、表7のトップの2行から、そのような値によって  $WE_0$  がそれらの場合に  $C_2$  を書き込みイネーブルにすることは明らかである。同様に、表6の最下部の2行から、 $C_3$  が欠陥カラムであるか、あるいは  $C_4$  が欠陥カラムであるかのいずれの場合に、0の制御値が  $M_{I_2}$  へ出力され、そして表7の最下部の2つの行から、そのような値によってそれらの場合に  $WE_1$  が  $C_2$  を書き込みイネーブルすることになることは同様に明らかである。したがって、各場合において、入力カラムからのデータはメモリ・カラムへ正しく回送され、そして書き込みユニットのイネーブルが許可される。

【0143】図19は一般的に342に示されているメモリ構成を示している。構成342は図18からの書き込みイネーブルの原理の別の例を示しているが、図18の中で提供されている例とは異なるサイズのアーキテクチャに対して各種の現在の概念が適用できることを、この分野の技術に熟達した人に対して示すために、異なるサ

イズのアーキテクチャにおいて示している。しかし、図19を単純化するために、システム全体のためのコンテキストを提供するためのいくつかのマルチプレクサが示されているが、メモリ・カラムが欠陥カラムであることに基づいてデータを回送するための各入力カラムに対して接続されている各マルチプレクサは含まれていない。次に、構成342を見ると、それは  $IC_0 \sim IC_{255}$  で示されている合計256個の入力カラムを含み、ふたたびその図を単純化するために、これらの入力カラムのうちのいくつかだけが示されている。以下でより良く理解されるように、これらの256個の入力カラムは4つの書き込みユニットに分割されており、各ユニットは64個のビットから構成されている。したがって、上記の説明との首尾一貫性を保つために、この4つの書き込みユニットのうちの任意の1つまたはそれ以上に同時に書き込むことができる。構成342のレイアウトは最も外側のカラムから最も内側のカラムへと構造を観察することによって、そして書き込みユニットのコンテキストにおいておそらく最も直接的である。したがって、それが以下に説明される。

【0144】構成342の最も外側の入力カラムを見て、それらが第1の書き込みユニットを形成するための入力カラム  $IC_0 \sim IC_{63}$ 、および第4の書き込みユニットを形成するための入力カラム  $IC_{192} \sim IC_{255}$  を含んでいることに留意されたい。これらの2つの書き込みユニットの接続は、そのような各書き込みユニットについての次の説明から理解されるように、構成342の内部で一般的に対称的になっている。 $IC_0 \sim IC_{63}$  の第1の書き込みユニットを見ると、そして図18に示されているように、 $IC_0$  はデータをメモリ・カラム  $C_0$  に対して直接に、あるいはマルチプレクサ  $M_{I_1}$  を通じてメモリ・カラム  $C_0$  へ渡すことができるよう接続されているが、一方、第1の書き込みユニットに対する残りの入力カラム（すなわち、 $IC_1 \sim IC_{63}$ ）は、 $M_{I_1} \sim M_{I_{63}}$  のグループの内部の2つの連続したマルチプレクサのデータ入力に接続されている。 $M_{I_1} \sim M_{I_{63}}$  のそれぞれの出力は単独の書き込みイネーブル・ユニット344<sub>0</sub> に接続されている。書き込みイネーブル・ユニット344<sub>0</sub> は断定された  $WE_0$  制御信号に応答して、その入力にあるデータをその出力に接続し、それはメモリ・カラム  $C_0 \sim C_{63}$  に接続される。 $IC_{192} \sim IC_{255}$  の第4の書き込みユニットを見ると、 $IC_{255}$  はそれがメモリ・カラム  $C_{256}$  に向かって直接に、あるいはマルチプレクサ  $M_{I_{255}}$  を通して  $C_{256}$  へ向かって渡すことができるよう  $IC_{255}$  が接続されており、その第1の書き込みユニット（すなわち、 $IC_{192} \sim IC_{254}$ ）に対する残りの入力カラムは  $M_{I_{193}} \sim M_{I_{255}}$  のグループの内部の2つの連続したマルチプレクサのデータ入力に接続されている。 $M_{I_{193}} \sim M_{I_{255}}$  のそれぞれの出力は単独の書き込みイネーブル・ユニット344<sub>3</sub> に接続されている。..書

込みイネーブル・ユニット344<sub>3</sub>は断定された制御信号WE3に応答してその入力におけるデータをその出力に接続し、その出力はメモリ・カラムC<sub>193</sub>～C<sub>256</sub>に接続されている。

【0145】構成342の最も内側のカラムを見て、それらが第2の書込みユニットを形成するための入力カラムIC<sub>64</sub>～IC<sub>127</sub>を含み、そして第3の書込みユニットを形成するための入力カラムIC<sub>128</sub>～IC<sub>191</sub>を含むことに留意されたい。これらの2つの書込みユニットの接続も、そのような各書込みユニットについての次の説明から理解されるように、構成342の内部では一般的に対称的になっている。IC<sub>64</sub>～IC<sub>127</sub>の第2の書込みユニットを見ると、IC<sub>64</sub>が2つの連続したマルチプレクサのデータ入力に接続されている。しかし、それらのマルチプレクサの1つ、すなわち、MI<sub>64</sub>に関して、それ他の入力は隣接する書込みユニットからの入力カラムに対して接続されていることに留意されたい。言い換れば、MI<sub>64</sub>の第2の入力はIC<sub>63</sub>に接続されており、それは隣接する第1の書込みユニットの部分である。したがって、MI<sub>64</sub>の出力（すなわち、C<sub>64</sub>）は2つの隣接する書込みユニットの間の境界のカラムを形成する。図18の実施形態についての上記の動作および図19に対するその共通性を前提として、この分野の技術に熟達した人であれば、C<sub>64</sub>は2つの隣の書込みユニットのいずれかからデータを提示することができること、すなわち、それは第1の書込みユニットのIC<sub>63</sub>から、あるいは第2の書込みユニットのIC<sub>64</sub>からのデータを提示することができ、それはメモリ・カラムC<sub>0</sub>～C<sub>256</sub>の中での欠陥カラムの位置によって変わることが理解される。IC<sub>128</sub>～IC<sub>191</sub>の第3の書込みユニットを見ると、IC<sub>128</sub>は連続した2つのマルチプレクサのデータ入力にも接続されており、ふたたび、そこではそれらのマルチプレクサのうちの1つ、すなわち、MI<sub>128</sub>が隣の書込みユニットからの入力カラムに対して接続されている。ここでは、MI<sub>128</sub>の1つのデータ入力は第3の書込みユニットの一部であるIC<sub>128</sub>に接続されているが、もう1つのデータ入力は第2の書込みユニットの一部であるIC<sub>127</sub>に接続されている。したがって、MI<sub>128</sub>の出力（すなわち、C<sub>128</sub>）は隣の第2と第3の書込みユニットの間の境界のカラムを形成する。したがって、C<sub>128</sub>は第2または第3の書込みユニットのいずれかからのデータを提示することができ、そのどちらになるかはメモリ・カラムC<sub>0</sub>～C<sub>256</sub>の中の欠陥カラムの位置によって変わる。最後に、第3の書込みユニットのIC<sub>191</sub>も境界カラムに接続されることに留意されたい。詳しく言えば、IC<sub>191</sub>はMI<sub>192</sub>のデータ入力に接続され、MI<sub>192</sub>は第4の書込みユニットの一部であるIC<sub>192</sub>に対してもう1つのデータ入力が接続されている。したがって、MI<sub>192</sub>の出力（すなわち、C<sub>192</sub>）は隣り合わせの第3および第4の書込みユニッ

トの間の境界カラムを形成する。したがって、C<sub>192</sub>は第3または第4の書込みユニットからのデータを提示することができる。そのいずれになるかはメモリ・カラムC<sub>0</sub>～C<sub>256</sub>の中での欠陥カラムの位置によって変わること。

【0146】識別された境界カラム以外に上記の接続を前提として、欠陥カラムおよび書込みユニットの機能が与えられて構成342がデータを適当に回送するために必要な接続を含むことにさらに留意されたい。詳しく言えば、各境界カラムC<sub>64</sub>、C<sub>128</sub>、およびC<sub>192</sub>は書込みユニットの制御の目的のために、対応している書込みイネーブル回路344<sub>0-1</sub>、344<sub>1-2</sub>、および344<sub>2-3</sub>に接続されていることに留意されたい。図18に示されているように、これらの書込みイネーブル回路のそれぞれのハイフンで連結された添字は、各回路が2つの書込みイネーブル信号のうちの1つによってイネーブルされることを示している。たとえば、境界カラムC<sub>192</sub>に対応している書込みイネーブル回路344<sub>2-3</sub>はWE2およびWE3のいずれかによってイネーブルされる可能性がある。これらの2つの書込みイネーブル信号のいずれかが制御を提供することができるようになると、1つの境界カラムに関連付けられている各書込みイネーブル回路に対する制御入力は、今説明された関係を示すために、同じ添字を共有している対応しているマルチプレクサの出力に対して接続されている。たとえば、境界カラム192を見ると、その書込みイネーブル回路344<sub>2-3</sub>は、WE2およびWE3がデータに入っているマルチプレクサM<sub>2-3</sub>の出力に接続されている。最後に、マルチプレクサM<sub>2-3</sub>の制御入力は対応している境界カラムに対してデータを出力するマルチプレクサを制御するのと同じ信号に接続されている。現在の例においては、MI<sub>128</sub>はデータを境界からのC<sub>192</sub>に対して出力し、したがって、その温度計パターン（図19において「TP」と略記されている）からの制御ビットもM<sub>2-3</sub>を制御するために接続されている。書込みイネーブル回路344<sub>2-3</sub>についての直前の説明は他の書込みイネーブル回路344<sub>0-1</sub>および344<sub>1-2</sub>およびそれらの対応している境界カラムC<sub>64</sub>およびC<sub>128</sub>にも適用されることに留意されたい。したがって、書込みイネーブル回路344<sub>0-1</sub>はWE0またはWE1のいずれかによって制御されるように接続されており、そしてそれらの2つの書込みイネーブル信号は、境界カラムC<sub>64</sub>に対してデータを提供するマルチプレクサMI<sub>64</sub>に対応している温度計パターンのビットによって制御されるマルチプレクサM<sub>0-1</sub>によって提供されている。同様に、書込みイネーブル回路344<sub>1-2</sub>はWE1またはWE2のいずれかによって制御されるように接続されており、そしてそれらの2つの書込みイネーブル信号は境界カラム128に対してデータを提供するマルチプレクサMI<sub>128</sub>に対応している温度計パターンのビットによって制御さ

れるマルチプレクサM<sub>1-2</sub>によって提供される。

【0147】構成342の動作は一般的に図18の構成340に対する動作と同じであり、したがって、読者は上記を参照されたい。しかし、その違いは回路のディメンションに関係する。言い換えれば、図18の中での4個までの入力カラムに対して、図19の中では256個までの入力カラムに書き込むことができる。さらに、図18における2つまでの書き込みユニットに対して、図19の中では4つまでの書き込みユニットに書き込むことができる。しかし、その共通性を前提として、この分野の技術に熟達した人であれば、その残りの動作を理解する筈である。それにもかかわらず、各種の原理をさらに示すための1つの例として、メモリ・カラムC<sub>10</sub>が欠陥カラムであり、I C<sub>0</sub>～I C<sub>16</sub>からのデータで1つの書き込みユニットに書き込む必要がある場合を仮定する。この例においては、その適切な温度計パターンは表6から外挿することができる。たとえば、温度計パターンについて、各行の右から始まる論理0の個数は欠陥カラムの符号化によって表される二進数に等しいこと、そしてそのパターンの最下位または最上位のいずれか以外のすべてのビットがその入力マルチプレクサを制御するために使えることを思い出されたい。したがって、そのパターンの最上位ビットを無視して、欠陥カラムC<sub>10</sub>に対する入力マルチプレクサに対するパターンはM I<sub>1</sub>～M I<sub>0</sub>を制御するためのその右側から始まる10個の論理0と、それ以降のM I<sub>11</sub>～M I<sub>255</sub>を制御するための245個の論理1を持つことになる。したがって、境界カラムC<sub>64</sub>に対応しているマルチプレクサM I<sub>64</sub>は書き込みイネーブル回路344<sub>0-1</sub>を制御するためにWE0とWE1との間で選択するマルチプレクサM<sub>1-0</sub>と同様に、その制御入力において論理1（すなわち、245個の論理1のうちの1つ）を受け取る。したがって、応答において、M<sub>1-0</sub>はWE0を選択してそれを書き込みイネーブル回路344<sub>0-1</sub>を制御するために接続し、それによってI C<sub>63</sub>からのデータがC<sub>64</sub>に対して正しく渡されるようにすることができる。

【0148】上記から、上記の実施形態がメモリ・カラムの冗長性を改善するための各種の代替案を提供することを理解することができる。多くの利点が上記から説明され、あるいは明らかになっている。たとえば、上記の各種の態様を、カラムのうちの1つが欠陥カラムである場合のカラムのグループからの読み出し、あるいはカラムの1つが欠陥カラムである場合のカラムのグループに対する書き込み、あるいはその両方に対して適用することができる。もう1つの例として、この実施形態を修正して2つ以上の冗長カラムを提供することができる。さらにもう1つの例として、書き込みユニットの機能も現在の実施形態の内部で実装することができる。さらに、図21のマイクロプロセッサは上記の技法から利点を提供するが、他の各種のマイクロプロセッサも同様に利点を提供

する。したがって、現在の実施形態が詳細に説明されてきた。また、各種の修正または変更も提案されてきたが、さらに他の変形版も本発明の適用範囲から離れるこなしに上記の説明に対して行なうことができる。

【0149】<3> メモリの行およびメモリのカラムの冗長性の組合せ>上記のセクションでメモリの行およびメモリのカラムの冗長性の構成の両方が詳細に説明されてきたが、図20は上記のタイプの冗長性の両方からの多くの概念を組み合わせているメモリ構成346を示している。これに関して、以前の図からの共通のエレメントが使われている場合、共通の参照番号が図20に対して受け継がれている。さらに、読者は以前の説明を熟知していると仮定され、したがって、次の説明は346によって例示されているような技術の組合せについて簡単に要約する。

【0150】メモリ構成346はふたたびメモリの4つのBANKを含んでいるデータ・メモリ92に対してそこからデータを読み出すか、あるいはそれにデータを書き込むかのいずれかの目的のためにADDRESSを受け取る。図20を単純化するために、これらのBANKは一般的に名前が付けられているが、図8aに示されているような追加の詳細は図20の中では示されていない。ここで示されているように、読み出しまだ書き込みの動作は行およびカラムの冗長性の両方に関連して発生する。詳しく言えば、ADDRESSは入力記憶装置102aによって受け取られ、そして特に、現在の実施形態においてはアドレスのビットADDR[13:6]が受け取られている。この受け取られたアドレスによって欠陥行または欠陥カラムのいずれかまたは両方がアドレスされているかどうかを判定するために、ビットADDR[8:6]が欠陥行識別ブロック108および欠陥カラム識別子エンコーダ324の両方に接続されている。したがって、ふたたび、ビットADDR[8:6]は現在のADDRESSに対する問題の4つのBANKのうちの1つを識別し、そしてさらにそのBANKの上部または下部の半分のいずれかがアドレスされているかどうかを示す。ビットADDR[8:6]に応答して、そしてアドレスされたBANKの半分が欠陥カラムの行を含んでいると仮定して、欠陥カラム識別子ブロック108は欠陥行のアドレス「DA」を出し、特に、ビットDA[6:2]がコンパレータ106aに対して出力され、一方ビットDA[1:0]が2-4デコーダ112に対して出力される。また、ビットADDR[8:6]に応答して、そしてアドレスされているBANKの半分が欠陥カラムを含んでいると仮定して、欠陥カラム識別子エンコーダ324は欠陥カラム（もしあれば）の9ビットの識別子を温度計デコーダ回路322に対して出力する。追加の動作はまず最初に行の冗長性に関してその動作を調べることによって、そして次に、カラムの冗長性に関してその動作を調べることによって以下において理

解される。

【0151】行の冗長性に関しては、コンパレータ106aはビットADDR[13:9]をビットDA[6:2]に対して比較し、その現在のADDRESSが、欠陥行を含んでいる行のブロック（すなわち、4つの異なるウェイを含んでいる）に対して向けられているかどうかを判定する。そうであれば、MATCH信号が断定され、そうでない場合はMATCH信号は断定されない。さらに、ビットDA[1:6]は2-4デコーダによって上記の表3に示されているような4ビットのシーケンスのうちの1つにデコードされ、そしてそのシーケンスがANDゲート114<sub>0</sub>～114<sub>3</sub>へ出力される。ANDゲート114<sub>0</sub>～114<sub>3</sub>の出力はここではビットS<sub>0</sub>～S<sub>3</sub>としてそれぞれ示されていることに留意されたい。言い換れば、これらの信号を図10aおよび図10bに示されているようなメモリ・デコーダに対してアドレスの一部として渡すために直接接続することができる。実際に、ビットADDR[13:6]はこのアドレスの一部を形成し、それらのビットも図10aおよび図10bの中で示されているのと同様な1つまたはそれ以上のメモリ・デコーダに対して渡されることに留意されたい。最後に、ウェイのHIT信号W0～W3もアドレスの一部を形成し、したがって、それらも図20の中に示されていることを思い出されたい。実際に、データ・メモリ92のアドレッシングを一般的に示すために、図20はデータ・メモリ92へ渡される全体のアドレスとして、ビットADDR[13:6]、S<sub>0</sub>～S<sub>3</sub>、およびビットW0～W3を単に組み合わせる。したがって、行の冗長性の動作を締めくくると、記憶回路102aによって受け取られるADDRESSが欠陥のない行に対して向けられている場合、ビットADDR[13:6]とW0～W3がS<sub>0</sub>～S<sub>3</sub>のそれに対しても0の値を伴ってそれと一緒に渡され、それによって欠陥のない行がアドレスされる。対照的に記憶回路102aによって受け取られたADDRESSが欠陥行に対して向けられたものであった場合、ビットADDR[13:6]とW0～W3がふたたびデータ・メモリへ渡される。しかし、ここではS<sub>0</sub>～S<sub>3</sub>の1つに対して1つの値と組み合わされ（他の3つの値は0である）、それによって実効的に異なるアドレスを生成し、欠陥行ではなく、予備行がアドレスされることになる。いずれの場合でもBANK0～3のうちの1つの中の行の1つが、4つの双方向性バッファ348<sub>0</sub>～348<sub>3</sub>の対応している1つを経由してバス350に結合される。したがって、この点から、カラムの冗長性の動作が以下に説明されるように発生される。

【0152】バス350上のデータの257個のカラムはスイッチされる回路352の対応しているカラムC<sub>0</sub>～C<sub>257</sub>に接続され、それは一般に図17と同じフォーマットを使って示されているので、この分野の技術に熟

達した人によって確認され得る他の代替案以外に、上記のマルチプレクサの各種の構成を使って構築することができる。いずれにしても、図17についての以前の説明を前提として、図20の目的の場合、温度計のパターンが温度計デコーダ回路322からスイッチされる回路352に対して向けられ、そしてそのパターンに応答してデータを257個のメモリ・カラムと256個の入力／出力カラムとの間に選択的に結合することができ、それによって現在受信されているADDRESSが与えられて欠陥カラムがある場合、誤りの結果を禁止する。ふたたび、データ・メモリ92から読み出す場合、欠陥のメモリ・カラムは入力／出力カラムに対してデータを提供することから単に除外され、一方データ・メモリ92への書き込みの場合、欠陥のメモリ・カラムはデータを受け取るが、その同じデータが別の欠陥のないカラムにも書き込まれ、したがって、それは後で正しく呼び出すことができる。

【0153】上記を前提として、この分野の技術に熟達した人であれば、このドキュメントの中で記述されるメモリの行およびカラムの概念を、本発明の内容と首尾一貫したさらに他の実施形態を形成するために組み合わせることができる。したがって、欠陥行識別子ブロック108および欠陥カラム識別子エンコーダ324の両方に対してヒューズが使われる場合、欠陥行およびカラムの両方を識別するために総合的な記憶タイプの構造を形成する単独の領域をこの構成の中に形成することができる。さらに、図20は前に説明された2つの特定の実施形態だけの組合せを示しているが、明らかに、この分野の技術に熟達した人であれば、上記の他の代替案を組み合わせることもできる。いずれにしても、改善された行およびカラムの冗長性システムが提供されている。

【0154】<4.マイクロプロセッサの構成>上記の実施形態が説明された後、図21は上記の実施形態を組み込むことができるマイクロプロセッサの実施形態のブロック図を示している。図21は好適な実施形態が実装され、説明されるスーパスカラのパイプライン型マイクロプロセッサ410の一例を含んでいる、説明的なデータ処理システム402を示している。システム402およびマイクロプロセッサ410のアーキテクチャはここでは例を示す方法だけによって記述されており、本発明の実施形態は各種のアーキテクチャのマイクロプロセッサの中で利用できることは考えられることは理解されるべきである。したがって、この分野における技術を普通に理解できる人であれば、この明細書を参照することによって、そのような他のマイクロプロセッサ・アーキテクチャの中に本発明の実施形態を組み込むことが容易にできることは考えられる。また、本発明はシングルチップのマイクロプロセッサおよびマイクロコンピュータにおいて、あるいはマルチチップの実装において実現することができ、シリコン・サブストレート、シリコン・

オン・インシュレータ、ガリウム砒素、および他の製造技術に従って、そしてMOS、CMOS、バイポーラ、Bi CMOS、あるいは他の装置実装を使って実現できることがさらに考えられる。

【0155】図21に示されているように、マイクロプロセッサ410はバスBの方法によってシステムの他の装置に接続されている。この例においてはバスBは単独のバスとして示されているが、バスBはPCIローカル・バス・アーキテクチャを利用していいる従来のコンピュータにおいて知られているように、スピードおよびプロトコルの異なる複数のバスを表していてもよいと考えられる。ここで示されている単独のバスBは例を示す方法によってのみ、そしてその単純性のためにここで示されている。システム402は通信ポート403（モデム・ポートおよびモデム、ネットワーク・インターフェース、などを含んでいる）、グラフィックス・ディスプレイ・システム404（ビデオ・メモリ、ビデオ・プロセッサ、グラフィックス・モニタを含んでいる）、普通はダイナミック・ランダム・アクセス・メモリ（DRAM）の手段によって実装され、スタック407を含んでいるメイン・メモリ・システム405、入力装置406（キーボード、ポインティング装置、およびそのためのインターフェース回路を含んでいる）、およびディスク・システム408（ハード・ディスク・ドライブ、フロッピー・ディスク・ドライブ、およびCD-ROMドライブを含んでいてもよい）などの従来型のサブシステムを含んでいる。したがって、図21のシステム402は現在この分野の技術において普通である従来型のデスク・トップ・コンピュータまたはワークステーションに対応することが考えられる。もちろん、マイクロプロセッサ410の他のシステム実装も本発明の実施形態から、この分野の技術を普通に理解している人によって認識されるように利点を提供することができる。

【0156】マイクロプロセッサ410はバスBに接続されているバス・インターフェース・ユニット（「BIU」）412を含み、それはマイクロプロセッサ410とシステム内の他のエレメント402との間の通信を制御して実行する。BIU412はこの機能を実行するための適切な制御回路およびクロック回路を含み、その中には、動作速度を増加させるための書込みバッファ、マイクロプロセッサの動作の結果をバスBのタイミングの制約と同期化させるためのタイミング回路などが含まれている。また、マイクロプロセッサ410はクロック発生および制御回路420も含み、それはこの説明的なマイクロプロセッサ410においては、バスBからのバス・クロックに基づいて内部クロック・フェーズを発生し、その内部クロック・フェーズの周波数は、この例においては、バス・クロックの周波数の倍数として選択的にプログラムすることができる。

【0157】図21において明らかのように、マイクロ

プロセッサ410は3レベルの内部キャッシュ・メモリを備えており、その最高レベルのものはレベル2のキャッシュ414であり、それはBIU412に接続されている。この例においては、レベル2のキャッシュ414は一体化されたキャッシュであり、BIU412を経由して、バスBからキャッシュ可能なデータおよびキャッシュ可能な命令をすべて受け取るよう構成され、マイクロプロセッサ410によって提示されるバス・トラフィックの多くがレベル2のキャッシュ414を経由して実行される。もちろん、マイクロプロセッサ410は或る種のバス読出しおよび書き込みを「キャッシュ不可能」として扱うことによって、レベル2のキャッシュ414の回りのバス・トラフィックを実行することもできる。図21に示されているように、レベル2のキャッシュ414は2つのレベル1のキャッシュ416に接続されている。レベル1のデータ・キャッシュ416dはデータ専用であり、一方、レベル1の命令キャッシュ416iは命令専用である。マイクロプロセッサ410によって消費される電力はレベル1のキャッシュ416のうちの適當な1つのキャッシュ・ミスの発生時のみレベル2のキャッシュ414にアクセスすることによって最小化される。さらに、データ側では、マイクロキャッシュ418が、この例においては完全デュアル・ポート型のキャッシュであるレベル0のキャッシュとして用意されている。

【0158】図21に示されているように、そして上記のように、マイクロプロセッサ410はスーパスカラ型のマイクロプロセッサである。この例においてはマイクロプロセッサ410の内部には複数の実行ユニットが用意されており、4つまでの命令を並列に単独の命令ポインタ・エントリに対して同時に実行することができる。これらの実行ユニットは、条件付き分岐、整数および論理演算を処理するための2つのALU442<sub>0</sub>、442<sub>1</sub>、浮動小数点ユニット（FPU）430、2つのロード・ストア・ユニット440<sub>0</sub>、440<sub>1</sub>、およびマイクロシーケンサ448を含む。2つのロード・ストア・ユニット440はマイクロキャッシュ418に対する2つのポートを利用してそれに対する真の並列アクセスを行い、レベル1のキャッシュ416dおよび416iに対して以外、レジスタ・ファイル439の中のレジスタに対してロードおよびストアの動作も実行する。従来の方法によって論理データ・アドレスを物理アドレスに変換するためにデータ・マイクロトランスレーション・ルックアサイド・バッファ（μTLB）438が用意されている。

【0159】これらの複数の実行ユニットはそれぞれ7段のライト・バック機能付きの複数のパイプラインの方法によって制御される。そのパイplineのステージは次の通りである。

【0160】F フェッチ：このステージは命令のアド

レスを発生し、その命令を命令キャッシュまたはメモリから読み出す。

PD<sub>0</sub> プリデコード・ステージ0：このステージは3つまでのフェッチされたx86タイプの命令の長さおよび開始位置を決定する。

PD<sub>1</sub> プリデコード・ステージ1：このステージはx86の命令バイトを抽出し、デコードのためにそれらを固定長のフォーマットの中に記録する。

DC デコード：このステージはx86の命令を原子演算(AOps)に変換する。

SC スケジュール：このステージは4つまでのAOpsを適切な実行ユニットに対して割り当てる。

OP オペランド：このステージはAOpsによって指示されるレジスタおよび／またはメモリのオペランドを取り出す。

EX 実行：このステージはAOpsおよび取り出されたオペランドに従って実行ユニットを動作させる。

WB ライト・バック：このステージは実行の結果をレジスタの中またはメモリの中に格納する。

【0161】図21に戻って、上記のパイプライン・ステージはマイクロプロセッサ410の内部の各種の機能ブロックによって実行される。フェッチ・ユニット426はレベル1の命令キャッシュ116iに対して印加するための、論理命令のアドレスを従来の方法で物理アドレスに変換する命令マイクロトランスレーション・ルックアサイド・バッファ(μTLB)422の手段によって、命令ポインタから命令のアドレスを発生する。命令キャッシュ116iはフェッチ・ユニット426に対する命令データのストリームを発生し、フェッチ・ユニット426はさらにその命令コードを必要なシーケンスでプリデコード・ステージに対して提供する。推論的な実行は種としてフェッチ・ユニット426によって制御される。

【0162】命令のプリデコードはマイクロプロセッサ410の中では2つの部分、すなわち、プリデコード0ステージ428およびプリデコード1ステージ432に分かれている。これらの2つのステージは別々のパイプライン・ステージとして動作し、一緒になって3つまでのx86命令をロケートし、そして同じものをデコーダ434に対して印加するように動作する。そのように、マイクロプロセッサ410の中のパイプラインのプリデコード・ステージの幅は3命令である。上記のように、プリデコード0ユニット428は3つまでのx86命令(それはもちろん可変長である)のサイズおよび位置を決定し、そしてそれ自体3つの命令の認識回路から構成されており、プリデコード1ユニット432はデコーディングを容易にするために、複数バイトの命令を固定長のフォーマットの中に記録する。

【0163】この例の中ではデコード・ユニット434は4つの命令デコーダを含み、それぞれがプリデコード

1ユニット432から固定長のx86命令を受け取り、1から3個の原子演算(AOps)を発生することができる。AOpsは実質的にRISC命令と等価である。4つのデコーダのうちの3つは並列に動作し、9個までのAOpsをデコード・ユニット434の出力にあるデコード9の中に入れてスケジューリングを待たせ、第4のデコーダは特殊ケースのために予約されている。スケジューラ436は4個までのAOpsをデコード・ユニット434の出力にあるデコード・キューから読み出し、これらのAOpsを適切な実行ユニットに割り当てる。さらに、オペランド・ユニット444は実行のためのオペランドを受け取って準備する。図21に示されているように、オペランド・ユニット444はマルチプレクサ445を経由して、スケジューラ436から、そして命令の実行において使うためにロード/ストア・ユニット440<sub>0</sub>および／または440<sub>1</sub>を経由してレジスタ・オペランド、および／またはメモリ・オペランドをフェッチする。さらに、この例に従って、オペランド・ユニット444は格納される準備ができているレジスタに対して結果を送るためにオペランドの提供を実行し、ロードおよびストアのタイプのAOpsのためのアドレス発生も実行する。

【0164】マイクロシーケンサ448は、マイクロコードROM446と組み合わさせて、マイクロコード・エントリAOpsの実行においてALU442およびロード/ストア・ユニット440を制御する。そのAOpsは一般に1サイクルで実行するための最後のAOpsである。この例においては、マイクロシーケンサ448はマイクロコードROM446の中に格納されているマイクロ命令を通してシーケンスし、それらのマイクロコード化されたマイクロ命令に対するこの制御を実行する。マイクロコード化されたマイクロ命令の例としては、マイクロプロセッサ410の場合、複雑な、あるいはほとんど使われないx86命令、セグメント・レジスタまたは制御レジスタを変更するx86命令、例外および割り込みの処理およびマルチサイクル命令(たとえば、REP命令、およびすべてのレジスタをPUSHおよびPOPする命令など)などがある。

【0165】マイクロプロセッサ410はJTAGのスキヤン・テストの動作、および或る種の内蔵型自己診断機能テストを制御するための回路424も含んでいて、製造の完了時に、そしてリセット時および他のイベントの発生時にマイクロプロセッサ410の動作の有効性を確保している。

【0166】上で説明された各種のレベルのキャッシュを前提として、マイクロプロセッサ410はそのキャッシュ・メモリの1つまたはそれ以上の中に、このドキュメントの以前のセクションにおいて説明された行の冗長性およびカラムの冗長性の構成のいずれかまたはその両方を含めることができることにさらに留意されたい。し

たがって、図1～図20についての上記の説明から、この分野の技術に熟達した人であれば、図21に関連してこれらのコンポーネントの動作を理解することができる。さらに、各種の関連の機能を図21の中の適切な回路によってさらに実行することができる。

【0167】<5. 結論>上記から、上記の実施形態は従来技術に比べて数多くの利点を提供することが理解できる。たとえば、各種のタイプのメモリ構成を、行の冗長性、カラムの冗長性、あるいは行およびカラムの冗長性の両方を提供するように形成することができる。さらに、冗長性を実装するために必要なヒューズの数が多くなり、アーキテクチャを横断するような中央集中的でない方法でそれらのヒューズを配置する従来技術の欠点がほとんど解消されている。さらに、前のセクションのマイクロプロセッサは以前に説明されている冗長性のメモリの構成を実装することができるアーキテクチャの一例を示しているが、さらに他のアーキテクチャも同様に利点を提供することができる。さらに、多くの他の利点が上で説明され、そしてこの分野の技術に熟達した人によってさらに確認される。結果として、本発明の実施形態が詳細に記述されてきたが、以下に述べられる請求項によって定義される本発明の適用範囲から離れることなしに、上記の説明に対して各種の置き換え、修正または変更が可能である。以上の説明に関してさらに以下の項を開示する。

【0168】(1) メモリ構成を動作させる方法であつて、第1のアドレスをタグ・メモリに対して発行し、前記第1のアドレスが、前記タグ・メモリに対応している情報メモリの中の1つの行をアドレスするための1つの状態に設定される段階と、前記第1のアドレスによってアドレスされるべき情報メモリの中の前記行が欠陥行であるかどうかを判定する段階と、前記第1のアドレスによってアドレスされるべき情報メモリの中の前記行が欠陥行であると判定されたことに応答して、前記第1のアドレスを、前記第1のアドレスとは異なる第2のアドレスに変換する段階と前記タグ・メモリの中のヒットの検出に応答して、前記第2のアドレスによって前記情報メモリをアドレスする段階と、前記第1のアドレスによってアドレスされるべき情報メモリの中の前記行が欠陥行でないとの判定に応答して、前記タグ・メモリの中のヒットの検出に応答して前記第1のアドレスによって前記情報メモリのアドレッシングを行う段階と、前記タグ・メモリの中のミスの検出に応答して、前記第1のアドレスに応答して前記メモリ構成のメモリ階層の中の前記情報メモリより高いレベルにある、異なるメモリをアドレスする段階とを含む方法。

【0169】(2) 第1項の方法において、連続したクロック・サイクルにわたって前記メモリ構成を動作させる段階をさらに含み、前記発行および変換の段階が前記連続のクロック・サイクルのうちの第1のサイクルの間

に発生し、前記第2のアドレスによる前記情報メモリのアドレッシングの段階または、前記第1のアドレスによる前記情報メモリのアドレッシングの段階のいずれかが前記連続したクロック・サイクルの第1のサイクルの直後の、連続したクロック・サイクルのうちの第2のサイクルの間に発生する方法。

【0170】(3) 第1項記載の方法において、前記発行および判定の段階の前に、欠陥行を識別するために情報メモリをテストする段階をさらに含む方法。

【0171】(4) 第3項の方法において、前記発行および判定の段階の前に、そして前記テストの段階の後に、前記テストの段階によって識別された欠陥行に対応している欠陥行のアドレスを前記メモリ構成の中に符号化する段階をさらに含む方法。

【0172】(5) 第4項の方法において、前記第1のアドレスによってアドレスされるべき前記情報メモリの中の前記行が欠陥行であるかどうかを判定する段階が、前記第1のアドレスを前記欠陥行のアドレスに対して比較する段階を含む方法。

【0173】(7) 第4項の方法において、前記符号化的段階が前記メモリ構成の中のヒューズを前記欠陥行を表すように構成する段階を含む方法。

【0174】(8) 第3項記載の方法において、発行および判定の段階の前に、そしてテストの段階の後に、前記テストの段階によって識別された欠陥行に対応している欠陥行のアドレスをメモリ構成の中に符号化する段階と、前記欠陥行が識別されていることを示しているイネーブル・インジケータをメモリ構成の中にセットする段階とをさらに含む方法。

【0175】(9) 第8項記載の方法において、前記第1のアドレスによってアドレスされるべき情報メモリの中の前記行が欠陥行であるかどうかを判定する段階が、前記欠陥行が識別されたことを示すために、前記イネーブル・インジケータがセットされているかどうかを検出する段階と、前記欠陥行が識別されていることを示すためにイネーブル・インジケータがセットされていることを検出したことに応答して、前記第1のアドレスを前記欠陥行のアドレスに対して比較する段階とを含む方法。

【0176】(10) 第1項記載の方法において、前記発行および判定の段階の前に、複数の欠陥行を識別するために情報メモリをテストする段階をさらに含む方法。

【0177】(11) 第10項記載の方法において、発行および判定の段階の前に、そしてテストの段階の後に、複数の欠陥行のアドレスをメモリ構成の中に符号化し、複数の欠陥行のアドレスのそれぞれが前記のテストの段階によって識別された複数の欠陥行の1つに対応する方法。

【0178】(12) 第11項記載の方法において、前記第1のアドレスによってアドレスされるべき前記情報メモリの中の前記行が欠陥行であるかどうかを判定する

段階が、前記第1のアドレスを前記複数の欠陥行のアドレスに対して比較する段階を含む方法。

【0179】(13) 第1項記載の方法において、前記発行および判定の段階の前に、少なくとも1つの欠陥行を含む行のブロックを識別するために、情報メモリをテストする段階をさらに含む方法。

【0180】(14) 第13項記載の方法において、前記発行および判定の段階の前に、そして前記テストの段階の後に、前記テストの段階によって識別された行の欠陥ブロックに対応している欠陥ブロックのアドレスをメモリ構成の中に符号化する段階をさらに含む方法。

【0181】(15) 第14項記載の方法において、前記第1のアドレスによってアドレスされるべき情報メモリの中の行が欠陥行であるかどうかを判定する段階が、前記第1のアドレスを含むブロック・アドレスを前記欠陥ブロックのアドレスに対して比較する段階を含む方法。

【0182】(16) 第1項記載の方法において、前記情報メモリが複数のバンクを含み、前記複数のバンクの、それぞれが別々のアドレスできる上部半分および下部半分を含み、前記別々にアドレス可能な上部半分および下部半分が複数のメモリ・ウェイを含む方法。

【0183】(17) 第16項記載の方法において、前記第1のアドレスは前記複数のバンクのうちの1つの中の1つの行を識別しているバンク識別子の部分を含む方法。

【0184】(18) 第17項記載の方法において、前記第1のアドレスは前記複数のバンクのうちの1つの上部半分か、あるいは下部半分かのいずれかの中の行を識別しているバンクの半分の識別子部分を含む方法。

【0185】(19) 第18項記載の方法において、前記発行および判定の段階の前に、複数の欠陥行を識別するために前記情報メモリをテストする段階をさらに含み、前記複数の欠陥行のそれぞれが前記複数のバンクのうちの異なるものの上部半分および下部半分の異なる1つの中に存在する方法。

【0186】(20) 第19項記載の方法において、前記発行および判定の段階の前に、そして前記テストの段階の後に、前記テストの段階によって識別された複数の欠陥行のそれに対応している欠陥行のアドレスをメモリ構成の中に符号化する段階をさらに含む方法。

【0187】(21) 第20項記載の方法において、前記第1のアドレスによってアドレスされるべき前記情報メモリの中の前記行が欠陥行であるかどうかを判定する段階が、前記第1のアドレスと1つのウェイ・アドレスを、前記ウェイ・アドレスと同じウェイ・アドレスを有し、そして前記第1のアドレスと同じバンク識別子部分を有し、そして前記第1のアドレスと同じバンク半分の識別子部分を有する行に対する欠陥行のアドレスに対して比較する段階を含む方法。

【0188】(22) 第1項記載の方法において、前記第1のアドレスは整数のR個のビットから構成され、そして前記第1のアドレスを第2のアドレスに変換する段階が前記整数のR個のビットに対して追加の1つのビットを連結する段階を含み、前記追加のビットの状態は前記第1のアドレスによってアドレスされるべき前記行が欠陥行であることを示すようになっている方法。

【0189】(23) 第1項記載の方法において、前記第2のアドレスによって前記情報メモリをアドレスする段階、あるいは前記第1のアドレスによって前記情報メモリをアドレスする段階のいずれかが、前記情報メモリの中のデータをアドレスする段階を含む方法。

【0190】(24) 第1項記載の方法において、前記第2のアドレスによって前記情報メモリをアドレスする段階、あるいは前記第1のアドレスによって前記情報メモリをアドレスする段階のいずれかが、前記情報メモリの中の命令をアドレスする段階を含む方法。

【0191】(25) 第1項記載の方法において、前記第2のアドレスによって前記情報メモリをアドレスする段階、あるいは前記第1のアドレスによって前記情報メモリをアドレスする段階のいずれかが、前記情報メモリの中のアドレス変換テーブルをアドレスする段階を含む方法。

【0192】(26) 第1項記載の方法において、前記情報メモリが複数のメモリ・ウェイを含み、前記複数のメモリ・ウェイのそれぞれが対応しているウェイ・アドレスを有していて、前記第1のアドレスによってアドレスされるべき前記情報メモリの中の前記行が欠陥行であるかどうかを判定する段階が、第1に、前記第1のアドレスを1つの欠陥ブロックのアドレスと比較する段階を含み、前記欠陥ブロックのアドレスが前記複数のメモリ・ウェイの1つにそれぞれ対応している行のブロックに対応し、そして前記行のブロックの内部の行の1つが欠陥行であって、欠陥のウェイ・アドレスを有していて、第2に、前記第1のアドレスに対応しているウェイ・ヒット・アドレスを前記欠陥のウェイ・アドレスに対して比較する段階を含み、前記第1のアドレスによってアドレスされるべき前記情報メモリの中の前記行が欠陥行であることを判定する段階が、前記第1のアドレスが前記欠陥ブロックのアドレスにマッチしていて、前記ウェイ・ヒット・アドレスが前記欠陥のウェイ・アドレスにマッチしていることに応答して発生する方法。

【0193】(27) 第1項記載の方法において、前記第1のアドレスが前記第1のアドレスに対応して前記情報メモリの中の前記行をアドレスするために、ダイナミック論理トランジスタ回路網の第1の放電経路に沿って放電を生じさせる複数のビットを含む方法。

【0194】(28) 第27項記載の方法において、前記第1のアドレスを第2のアドレスに変換する段階が、前記複数のビットのうちの少なくとも1つを変更し、前

記ダイナミック論理トランジスタ回路網の第2の放電径路に沿って放電を生じさせるようになっている方法。

【0195】(29)マイクロプロセッサであって、タグ・メモリと、前記タグ・メモリに対応している情報メモリと、第1のアドレスを前記タグ・メモリに対して発行し、前記第1のアドレスは前記タグ・メモリに対応している前記情報メモリの中の1つの行をアドレスするための1つの状態に設定されている回路と、前記第1のアドレスによってアドレスされるべき前記情報メモリの中の前記行が欠陥行であるかどうかを判定するための回路と、前記第1のアドレスによってアドレスされるべき前記情報メモリの中の前記行が欠陥行であることを判定するための回路に応答して、前記第1のアドレスを前記第1のアドレスとは異なる第2のアドレスに変換する段階と、前記タグ・メモリの中のヒットに応答して前記第2のアドレスによって前記情報メモリをアドレスする段階とを実行するための回路と、前記第1のアドレスによってアドレスされるべき前記情報メモリの中の前記行が欠陥行でないことを、判定のための回路が判定したことに応答して、前記タグ・メモリの中のヒットに応答して前記第1のアドレスによって前記情報メモリをアドレスするための回路とを含むマイクロプロセッサ。

【0196】(30)第29項記載のマイクロプロセッサにおいて、前記情報メモリの中の1つの行が欠陥行であるかどうかを示すためのインジケータをさらに含むマイクロプロセッサ。

【0197】(31)第30項記載のマイクロプロセッサにおいて、前記情報メモリの中の1つの欠陥行を識別するための1つの識別子をさらに含んでいて、前記インジケータが所定の状態にあることを、判定のための回路が判定したことに応答して、前記識別子に対して前記第1のアドレスを比較するための回路を含むマイクロプロセッサ。

【0198】(32)第31項記載のマイクロプロセッサにおいて、前記識別子は複数のヒューズを含むマイクロプロセッサ。

【0199】(33)第31項記載のマイクロプロセッサにおいて、前記識別子は複数のレジスタ記憶ビットを含むマイクロプロセッサ。

【0200】(34)第29項記載のマイクロプロセッサにおいて、連続したクロック・サイクルにわたって前記マイクロプロセッサを動作させるための回路をさらに含んでいて、前記発行のための回路が前記第1のアドレスを発行し、そして前記変換の段階を実行するための回路が前記第1のアドレスを、前記連続したクロック・サイクルのうちの第1のサイクルの間に変換し、前記第2のアドレスによって前記情報メモリをアドレスするための前記回路、または前記第1のアドレスによって前記情報メモリをアドレスするための前記回路のいずれかが、前記連続したクロック・サイクルの前記第1のサイクル

のすぐ次の、前記連続したクロック・サイクルのうちの第2のサイクルの間に動作するマイクロプロセッサ。

【0201】(35)第29項記載のマイクロプロセッサにおいて、前記情報メモリの中の対応している行が欠陥行であるかどうかを示すための複数のインジケータと、前記複数のインジケータに対応している複数の識別子とを含み、前記インジケータのそれぞれが前記情報メモリの中の対応している欠陥行を識別するためのものであり、判定のための前記回路が前記第1のアドレスを、前記所定の状態にある対応しているインジケータを有している複数のインジケータのうちのそれぞれに対して比較するための回路を含むマイクロプロセッサ。

【0202】(36)第29項記載のマイクロプロセッサにおいて、少なくとも1つの欠陥行を含む前記情報メモリの中の行のブロックに対応している欠陥ブロックのアドレスを識別するための回路をさらに含むマイクロプロセッサ。

【0203】(37)第36項記載のマイクロプロセッサにおいて、前記第1のアドレスによってアドレスされるべき前記情報メモリの中の前記行が欠陥行であるかどうかを判定するための前記回路が、前記欠陥ブロックのアドレスに対して前記第1のアドレスを含むブロック・アドレスを比較するための回路を含むマイクロプロセッサ。

【0204】(38)第29項記載のマイクロプロセッサにおいて、前記情報メモリが複数のバンクを含み、前記複数のバンクのそれぞれが、別々にアドレスすることができる上部半分と下部半分とを含み、前記別々にアドレス可能な上部半分と下部半分は複数のメモリ・ウェイを含むマイクロプロセッサ。

【0205】(39)第38項記載のマイクロプロセッサにおいて、前記第1のアドレスが前記複数のバンクのうち1つの中の1つの行を識別しているバンク識別子の部分を含むマイクロプロセッサ。

【0206】(40)第39項記載のマイクロプロセッサにおいて、前記第1のアドレスが前記複数のバンクのうち1つの上部半分または下部半分のいずれかの中の1つの行を識別しているバンク半分の識別子部分を含むマイクロプロセッサ。

【0207】(41)第40項記載のマイクロプロセッサにおいて、複数の欠陥行のそれぞれに対応している複数の欠陥行のアドレスを識別するための回路をさらに含んでいて、前記複数の欠陥行のそれぞれが前記複数の異なるバンクの中の上部半分および下部半分の異なるものの中にあるようになっている回路をさらに含むマイクロプロセッサ。

【0208】(42)第41項記載のマイクロプロセッサにおいて、前記第1のアドレスによってアドレスされるべき前記情報メモリの中の前記行が欠陥行であるかどうかを判定するための回路が、前記第1のアドレスおよ

び1つのウェイ・アドレスを、前記ウェイ・アドレスと同じウェイ・アドレスを有し、そして前記第1のアドレスと同じバンク識別子部分を有し、そして前記第1のアドレスと同じバンク半分の識別子を有している行に対する前記欠陥行のアドレスに対して比較するための回路を含むマイクロプロセッサ。

【0209】(43) 第29項記載のマイクロプロセッサにおいて、前記第1のアドレスが整数のR個のビットから構成され、そして前記第1のアドレスを第2のアドレスへ変換する前記段階を実行するための前記回路が、前記整数のR個のビットに対して1つの追加ビットを連結するための回路を含み、前記追加ビットの状態は前記第1のアドレスによってアドレスされるべき前記行が欠陥行に対応していることを示すようになっているマイクロプロセッサ。

【0210】(44) 第29項記載のマイクロプロセッサにおいて、前記情報メモリが複数のメモリ・ウェイを含み、前記複数のメモリ・ウェイはそれそれが対応しているウェイ・アドレスを有し、前記第1のアドレスによってアドレスされるべき前記情報メモリの中の前記行が欠陥行であるかどうかを判定するための前記回路が、まず第1に、前記第1のアドレスを欠陥ブロックのアドレスに対して比較し、前記欠陥ブロックのアドレスは前記複数のメモリ・ウェイの1つにそれぞれ対応している行のブロックに対応し、そして前記行のブロックの中の前記行のうちの1つが欠陥行であって、欠陥のウェイのアドレスを有している、比較のための回路と、第2に、前記第1のアドレスに対応しているウェイ・ヒット・アドレスを前記欠陥のウェイ・アドレスに対して比較するための回路とを含み、前記第1のアドレスが前記欠陥ブロックのアドレスにマッチしていく、前記ウェイ・ヒット・アドレスが前記欠陥のウェイ・アドレスにマッチしていることに応答して、前記第1のアドレスによってアドレスされるべき前記情報メモリの中の前記行が欠陥行であるとの判定が発生するマイクロプロセッサ

【0211】(45) 第29項記載のマイクロプロセッサにおいて、前記第1のアドレスが複数のビットを含んでいて、前記第1のアドレスによって前記情報メモリをアドレスするための前記回路が整数のN個の複数のビットを受け取るように動作するダイナミック論理トランジスタ回路網を含み、整数N個の直列に接続されたトランジスタをイネーブルすることによって第1の放電径路の形成に応答して前記情報メモリがアドレスされ、前記第1の放電径路が1つの放電トランジスタを通じて放電するためにさらに接続されているマイクロプロセッサ。

【0212】(46) 第45項記載のマイクロプロセッサにおいて、前記第1のアドレスを第2のアドレスに変換する段階を実行するための前記回路が、前記ダイナミック論理トランジスタ回路網の第2の放電径路に沿って放電を生じさせるために複数のビットのうちの少なくと

も1つを変更するための回路を含み、前記第2のアドレスによって前記情報メモリをアドレスするための回路が、整数N個の複数のビットを受け取るように動作するダイナミック論理トランジスタ回路網を含んでいて、整数N個の直列に接続されたトランジスタをイネーブルすることによって第2の放電径路の形成に応答して、前記情報メモリがアドレスされ、前記第2の放電径路が前記放電トランジスタを通じて放電するようにさらに接続されているマイクロプロセッサ。

【0213】(47) メモリ構成であって、タグ・メモリと、前記タグ・メモリに対応している情報メモリと、前記タグ・メモリに対して提供される第1のアドレスを受け取るための回路であって、前記タグ・メモリに対応している前記情報メモリの中の1つの行をアドレスするための状態に前記第1のアドレスが設定されている回路と、前記第1のアドレスによってアドレスされるべき前記情報メモリの中の前記行が欠陥行であるかどうかを判定するための回路と、前記第1のアドレスによってアドレスされるべき前記情報メモリの中の前記行が欠陥行であることを、判定のための回路が判定したことに応答して、前記第1のアドレスとは異なる第2のアドレスに前記第1のアドレスを変換する段階と、前記タグ・メモリの中のヒットに応答して前記第2のアドレスによって前記情報メモリをアドレスする段階とを実行するための回路と、前記第1のアドレスによってアドレスされるべき前記情報メモリの中の前記行が欠陥行でないことを、判定のための回路が判定したことに応答して、前記タグ・メモリの中のヒットに応答して前記第1のアドレスによって前記情報メモリをアドレスするための回路とを含むメモリ構成。

【0214】(48) メモリ構成であって、タグ・メモリと、前記タグ・メモリに対応していて、複数の行を含む情報メモリと、前記タグ・メモリに対応している前記情報メモリの中の1つの行をアドレスするために1つの状態に設定される、前記タグ・メモリに対する第1のアドレスを発行するための回路と、前記第1のアドレスによってアドレスされるべき前記情報メモリの中の前記行が欠陥行であるかどうかを判定するための回路と、前記第1のアドレスによってアドレスされるべき前記情報メモリの中の前記行が欠陥行であることを、判定のための回路が判定したことに応答して、前記第1のアドレスを前記第1のアドレスと異なるアドレスに変換する段階と、前記タグ・メモリの中のヒットに応答して前記第2のアドレスによって前記情報メモリをアドレスする段階とを実行する回路と、複数のメモリ・カラムがあって、前記複数の各行が前記複数のメカニズムに沿って複数の信号を通信し、そして前記複数のメモリ・カラムのそれぞれがメモリ・カラム出力を提供する複数のメモリ・カラムと、複数のデータ・カラムがあって、前記複数のデータ・カラムのそれぞれが前記メモリ構成に関して外部

のデータ信号を通信するように動作する複数のデータ・カラムと、前記複数のメモリ・カラムのうちの識別された1つを識別するためのエンコーダ回路と、前記エンコーダ回路によって識別された複数のメモリ・カラムのうちの識別された1つに応答して、前記複数のメモリ・カラムのうちの選択されたカラムを前記データ・カラムのうちの対応しているものに結合するためのデコーダ回路とを含み、前記データ・カラムのうちの対応しているものが、前記複数のメモリ・カラムのうちの前記識別されたカラム以外の複数のメモリ・カラムのうちの少なくとも1つを含むメモリ構成。

【0215】(49)マイクロプロセッサを動作させる方法。その方法はタグ・メモリ(18)に対して第1のアドレスを発行する(52)。この第1のアドレスはそのタグ・メモリに対応している情報メモリの中の1つの行をアドレスするために1つの状態に設定される。また、その方法は第1のアドレスによってアドレスされるべき情報メモリの中の行が欠陥行であるかどうかを判定(58)する。第1のアドレスによってアドレスされるべき情報メモリの中の行が欠陥行であるという判定に応答して、その方法は次の2つの段階を実行する。まず最初に、それは第1のアドレスをその第1のアドレスとは異なる第2のアドレスに変換(60)する。第2にその方法はタグ・メモリの中のヒットの検出に応答して、第2のアドレスによって情報メモリをアドレスする(66)。代わりに、第1のアドレスによってアドレスされるべき情報メモリの中の行が欠陥行でないと判定した場合、それは代わりに、タグ・メモリの中のヒットの検出に応答して第1のアドレスによって情報メモリをアドレスする。最後に、タグ・メモリの中のミスの検出に応答して、その方法は第1のアドレスに応答して異なる情報メモリをアドレスし、その異なる情報メモリは、そのメモリ構成のメモリ階層の中でその情報メモリより高いレベルにある。

【0216】<関連出願に対する相互参照>本出願は、本発明と同じ出願者および同じ日付で出願されていて、引用によって本明細書の記載に援用する、「メモリのカラムの冗長性を再マッピングするための回路、システム、および方法」(整理番号T1-24606P)と題する、同時係属出願の米国特許出願第60/044,415号に関連している。

#### 【図面の簡単な説明】

【図1】L1およびL2のキャッシュ回路を含むメモリ階層方式の本発明の一実施形態のブロック図であり、ここで、L2のキャッシュ回路は、欠陥行を指定していた元のアドレスを予備行に対して再マッピングするためのアドレス変換回路をさらに含む。

【図2】L1キャッシュ回路におけるミスに続いて2つの連続したサイクルにおいてL2キャッシュ回路にアクセスするための従来技術のシステムのタイミング図であ

る。

【図3】図1のL2キャッシュ回路のデータ・メモリの詳細なブロック図である。

【図4】図1のL2キャッシュ回路のアドレス変換回路の詳細なブロック図である。

【図5】図1、図3および図4の回路の動作方法のフローチャートである。

【図6】データ・メモリの中の2つまでの欠陥行を2つの予備行の1つに対して再マッピングすることができる、本発明の代替実施形態のブロック図である。

【図7】データ・メモリの中の行の1つのブロック中の4つまでの欠陥行を予備行のブロックに対して再マッピングすることができる、本発明の代替実施形態のブロック図である。

【図8】aは、データ・メモリがいくつかのバンクを含んでいて、各バンクが上位半分および下位半分を含んでいて、各半分は各種の集合を含んでおり、そしてそのバンクの半分の中の1つの欠陥行を再マッピングすることができる1つの予備行を備えている、本発明の代替実施形態のブロック図であり、bは、図8aの実施形態に対するアドレスのフォーマットである。

【図9】数個のバンクを備えているデータ・メモリをアドレスするための本発明の一実施形態のブロック図であり、ここで、図9の図は到来するアドレスを欠陥のアドレスに対して連続の段階において比較し、第1の段階は入って来たアドレスの一部分をブロック・アドレスに対して比較し、そして第2の段階は入って来たアドレスに対応しているウェイ・アドレスを欠陥行のアドレスのウェイ・アドレスに対して比較する。

【図10】aおよびbは、図9のブロック図の各種の特徴を実装するための動的な論理デコード回路である。

【図11】図10aおよび図10bの本発明の動的論理デコード回路の追加の利点と対象させるための、従来技術の3-8デコード回路である。

【図12】従来技術のメモリ構成の電気的な図であり、その構成は単独の冗長カラムを含む一連のカラムに沿ってデータ信号を出力する1つの行アレイを備えており、その行アレイはメモリ・カラムのうちの1つの欠陥カラムが输出とならないようにその構成から除外するための、各マルチプレクサに対応しているヒューズによって制御されるマルチプレクサ構成をさらに含む。

【図13】1つの行アレイを備えている本発明の一実施形態のメモリ構成の電気的な図であり、その行アレイは単独の冗長カラムを含む一連のカラムに沿ってデータ信号を出力し、その一連のカラムはそのメモリ・カラムの中の1つの欠陥カラムが输出されないようにその構成から除外するために、温度計デコーダによって制御されるマルチプレクサ構成をさらに含む。

【図14】本発明の1つの代替実施形態の電気的な図であり、ここで、別々にアドレスすることができる半分ず

つの部分をそれぞれ備えている複数のバンク・メモリにメモリを分離することによって、カラムの冗長性が増加され、各半分がバンク・メモリ当たりの冗長性の追加の1つのカラムを提供する。

【図15】本発明の1つの代替実施形態の電気的な図であり、ここで、複数のメモリ・グループにメモリを分離することによってカラムの冗長性が増加されており、そのメモリ・グループは各グループの同じ行が同時にアドレスされるが、各グループは冗長性の追加の1つのカラムを提供する。

【図16】本発明の1つの代替実施形態の電気的な図であり、ここで、メモリ構成に対してデータを書き込む目的のためのカラムの冗長性が組み込まれており、そのメモリ構成からデータを読み出す目的に使われるのと同じ各種のエレメントを実装することができるよう、カラムの冗長性が組み込まれている。

【図17】本発明による入力または出力のカラムのいずれかと通信するためのメモリ・カラムのカップリングを図で説明している。

【図18】書き込みユニットの機能を実行するための追加の回路を備えた図16の電気的な図である。

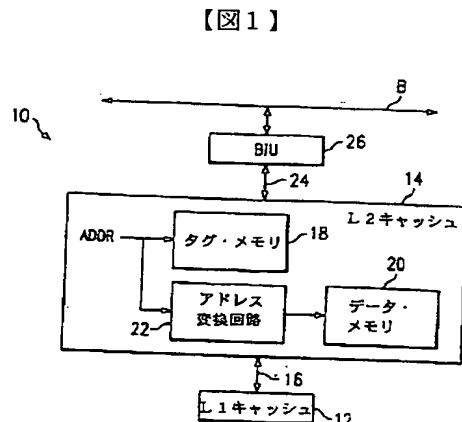
【図19】4つの64ビット書き込みユニットに対する書き込みユニット機能を提供するための代替メモリ構成の電気的な図である。

【図20】メモリの行およびメモリのカラムの冗長性の両方にに関して上記の各種態様を組み合わせている電気的な図である。

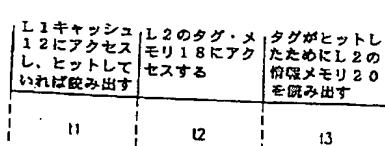
【図21】上記の実施形態を組み込むことができる説明的なマイクロプロセッサである。

#### 【符号の説明】

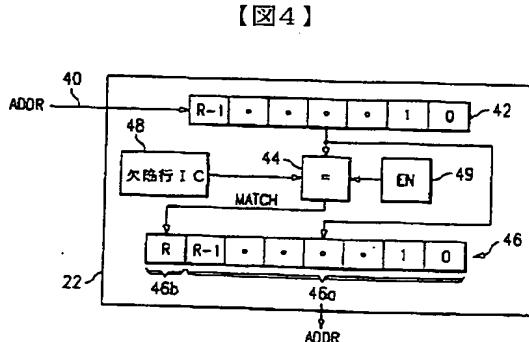
#### 10 メモリ・システム



【図1】

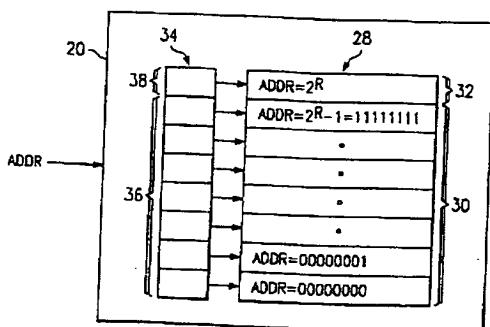


【図2】

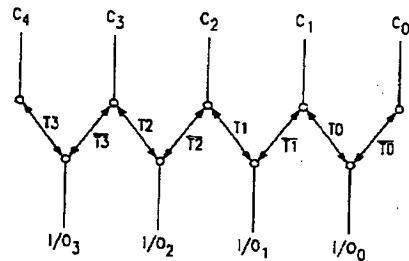


【図4】

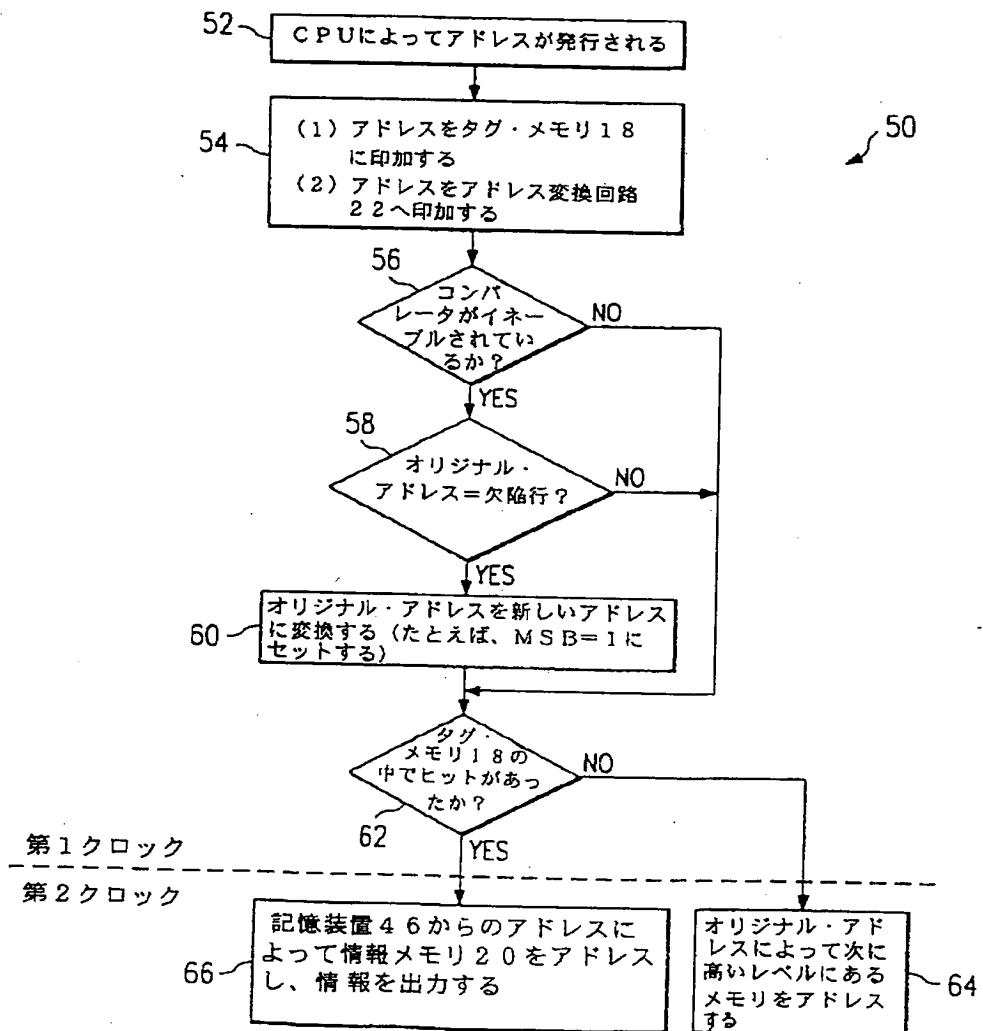
【図3】



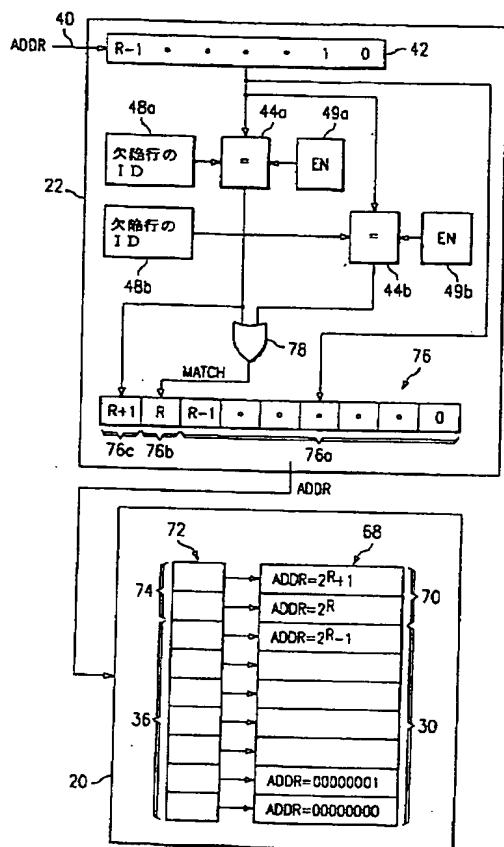
【図17】



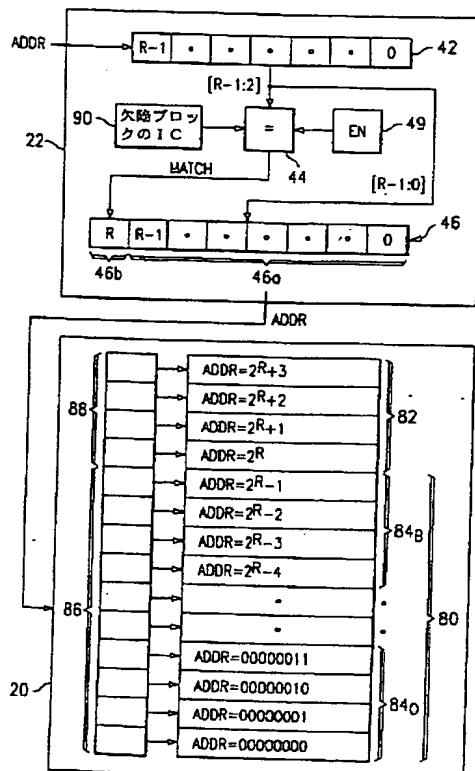
【図5】



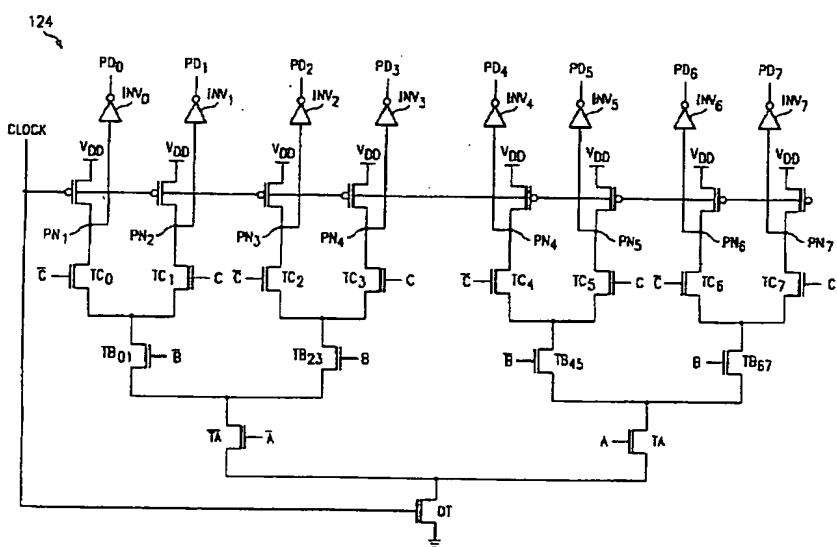
【図6】



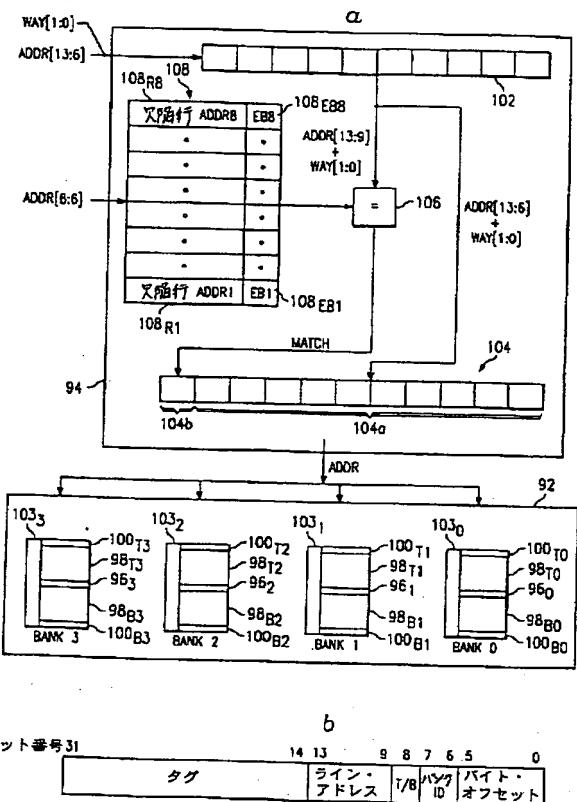
【図7】



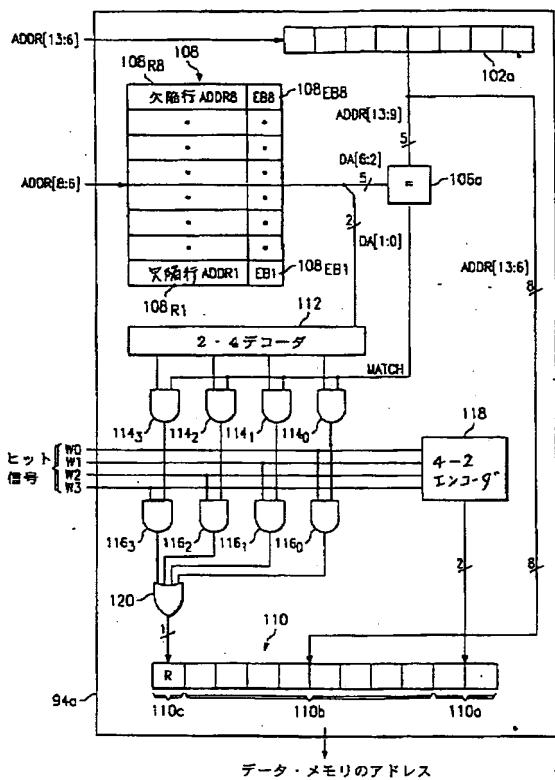
【図11】



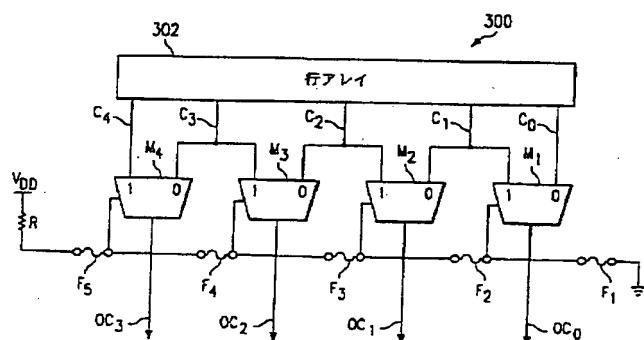
【図8】



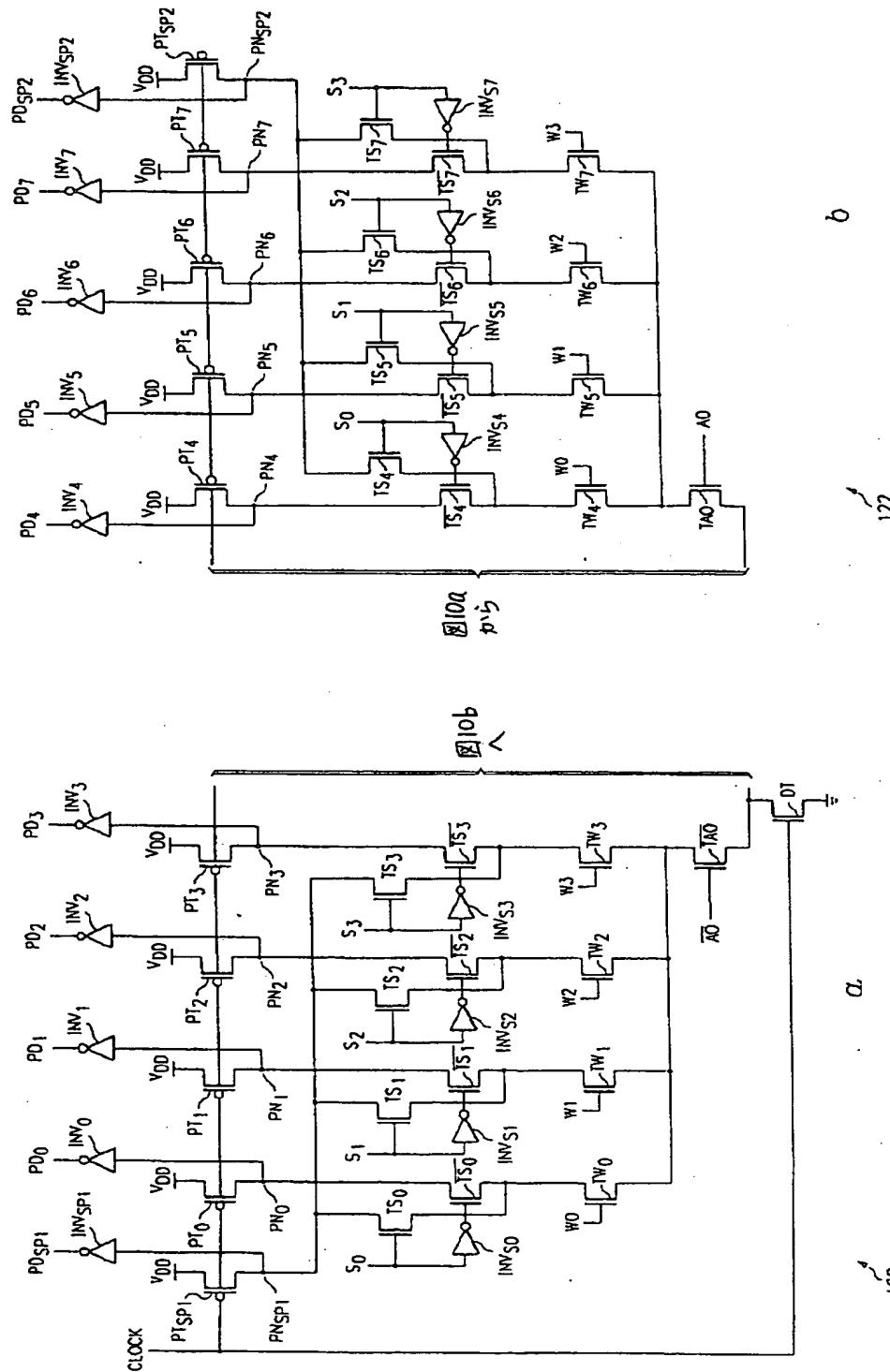
〔四九〕



### 【図12】

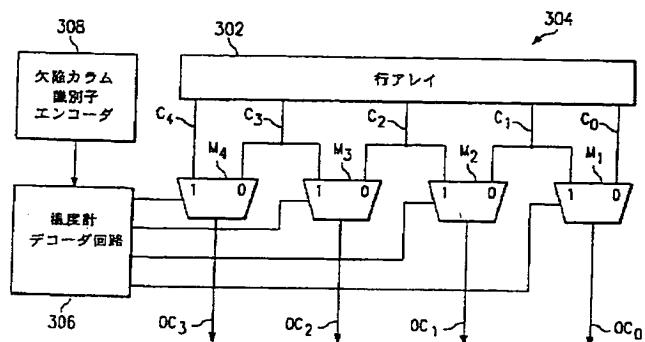


【図10】

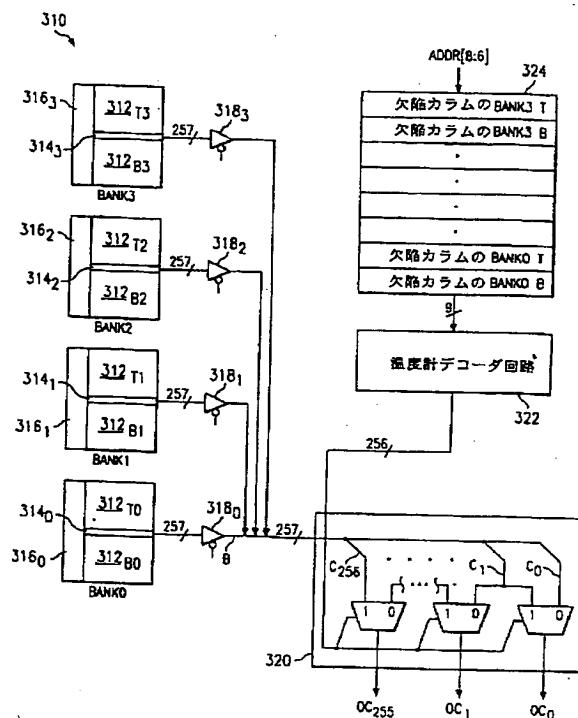


122

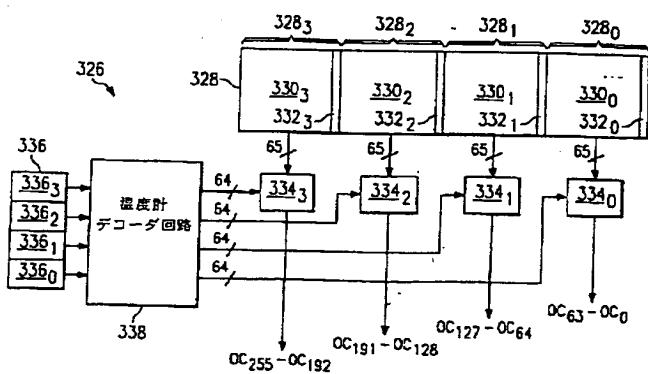
【図13】



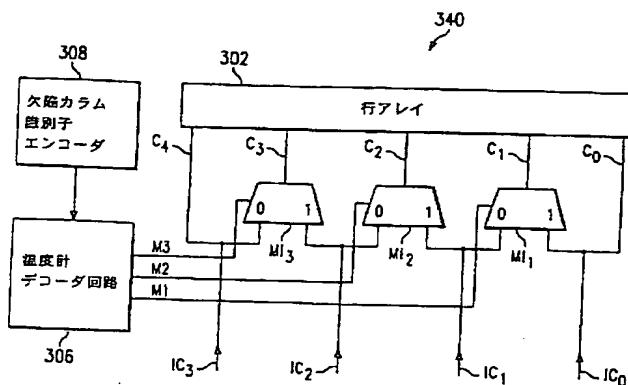
【図14】



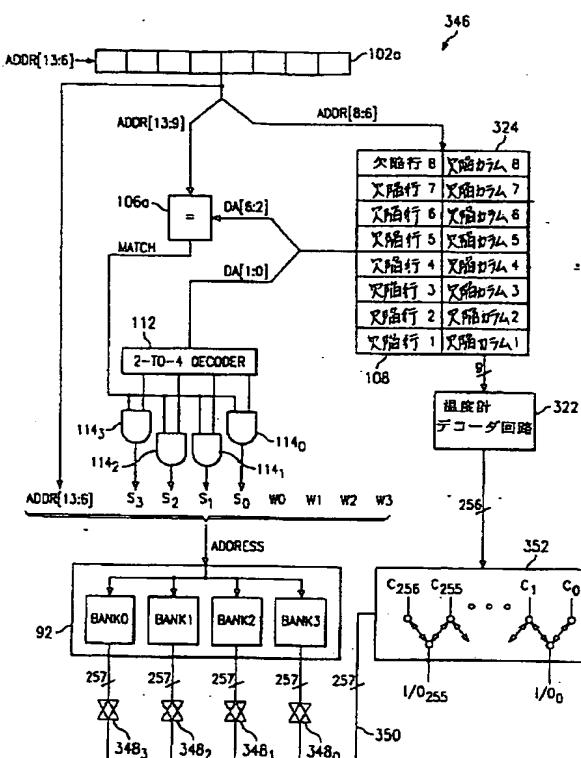
【図15】



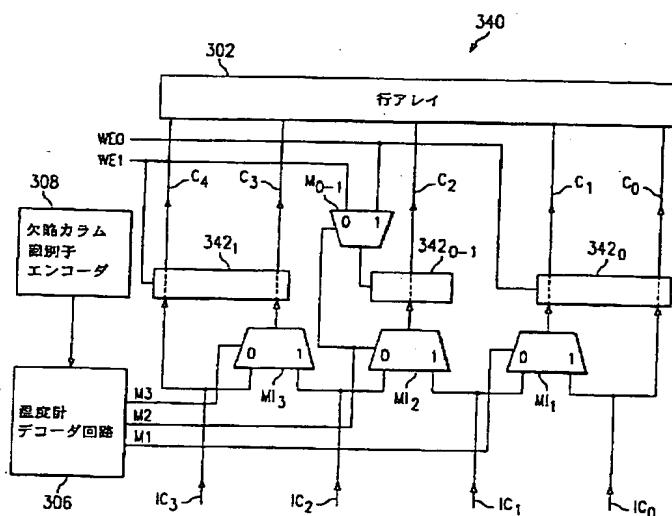
【図16】



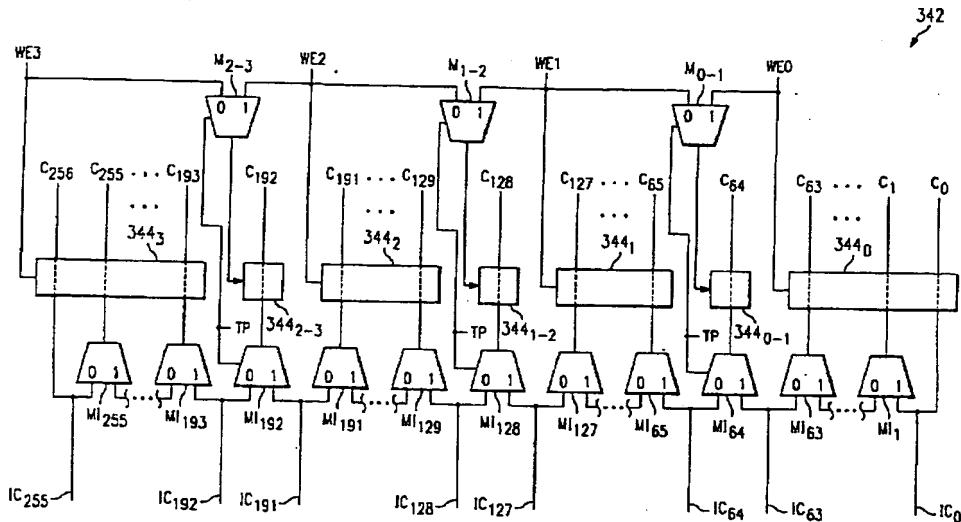
【図20】



【図18】



【図19】



【図21】

